

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

CF014179US/

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 1月19日

出願番号

Application Number:

平成11年特許願第011108号

出願人

Applicant(s):

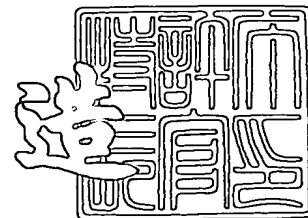
キヤノン株式会社

RECEIVED
AUG 30 2001
TECHNOLOGY CENTER 2000

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3106872

【書類名】 特許願

【整理番号】 3689037

【提出日】 平成11年 1月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/195

【発明の名称】 画像形成装置及びその製造方法

【請求項の数】 22

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 安藤 洋一

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成装置及びその製造方法

【特許請求の範囲】

【請求項 1】 電子ビーム源を含むリアプレートと、電子ビームの照射により発光する蛍光体を形成したフェースプレートと、前記リアプレートとフェースプレートの間に配置される構造支持体とを備えた画像形成装置の製造方法において、

前記フェースプレートと前記リアプレートと前記構造支持体とでパネルを組み立てた後に、前記フェースプレートと前記リアプレートの間に高電圧を印加する工程と、

前記高電圧を印加する工程後に行う電子源を形成する工程と、

を有することを特徴とする画像形成装置の製造方法。

【請求項 2】 請求項 1 に記載の画像形成装置の製造方法において、前記高電圧を印加する工程を、真空中で行うことを特徴とする画像形成装置の製造方法

【請求項 3】 請求項 1 に記載の画像形成装置の製造方法において、前記高電圧を印加する工程を、画像形成装置内に気体を導入して行うことを特徴とする画像形成装置の製造方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の画像形成装置の製造方法において、前記電子ビーム源は、複数の配線によって結線された複数の電子放出素子を有し、前記高電圧を印加する工程で、前記複数の配線を共通に接地し、前記フェースプレートに前記高電圧を印加することを特徴とする画像形成装置の製造方法。

【請求項 5】 請求項 4 に記載の画像形成装置の製造方法において、前記構造支持体は、矩形形状を有し、その長手方向が前記複数の配線と平行になるように前記電子ビーム源とフェースプレートとの間に配置されていることを特徴とする画像形成装置の製造方法。

【請求項 6】 請求項 1 乃至 3 のいずれか 1 項に記載の画像形成装置の製造方法において、前記電子源は、複数の行方向配線と複数の列方向配線とでマトリ

クス配線された複数の電子放出素子を有し、前記高電圧を印加する工程で、前記複数の行方向配線と前記複数の列方向配線を共通に接地し、前記フェースプレートに前記高電圧を印加することを特徴とする画像形成装置の製造方法。

【請求項 7】 請求項 6 に記載の画像形成装置の製造方法において、前記構造支持体は、その長手方向が前記複数の行方向配線又は前記複数の列方向配線のいずれか一方と平行になるように、前記電子ビーム源と前記フェースプレートとの間に配置されていることを特徴とする画像形成装置の製造方法。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の画像形成装置の製造方法において、前記高電圧は、ピーク値が低圧から徐々に昇圧していく交流であることを特徴とする画像形成装置の製造方法。

【請求項 9】 請求項 1 乃至 7 のいずれか 1 項に記載の画像形成装置の製造方法において、前記高電圧は、ピーク値が低圧から徐々に昇圧していくパルス電圧であることを特徴とする画像形成装置の製造方法。

【請求項 10】 請求項 1 乃至 7 のいずれか 1 項に記載の画像形成装置の製造方法において、前記高電圧は、低圧から徐々に昇圧していく単調増加電圧であることを特徴とする画像形成装置の製造方法。

【請求項 11】 請求項 1 乃至 10 のいずれか 1 項に記載の画像形成装置の製造方法において、前記電子ビーム源は、冷陰極素子であることを特徴とする画像形成装置の製造方法。

【請求項 12】 請求項 1 乃至 10 のいずれか 1 項に記載の画像形成装置の製造方法において、前記電子ビーム源は、表面伝導型電子放出素子であることを特徴とする画像形成装置の製造方法。

【請求項 13】 請求項 12 に記載の画像形成装置において、前記電子源を形成する工程は、通電フォーミング工程を含むことを特徴とする画像形成装置の製造方法。

【請求項 14】 請求項 12 に記載の画像形成装置において、前記電子源を形成する工程は、通電活性化工程を含むことを特徴とする画像形成装置の製造方法。

【請求項 15】 請求項 1 乃至 14 のいずれか 1 項に記載の製造方法により

製造されたことを特徴とする画像形成装置。

【請求項 1 6】 電子ビームを発生する電子ビーム源を有する第 1 のプレートと、該第 1 のプレートに対向する電極と、を備える電子線装置の製造方法であって、

前記第 1 のプレートと、前記電極との間に電圧を印加する第 1 の工程と、

該第 1 の工程の後に行う前記電子ビーム源を形成する工程と、

を有することを特徴とする電子線装置の製造方法。

【請求項 1 7】 前記第 1 の工程の後に行う前記電子ビーム源を形成する工程は、導電性膜に通電することにより該導電性膜に高抵抗部を形成する工程であることを特徴とする請求項 1 6 に記載の電子線装置の製造方法。

【請求項 1 8】 前記第 1 の工程の後に行う前記電子ビーム源を形成する工程は、電子放出部、電子放出部の近傍又は前記電子放出部及び前記電子放出部の近傍に堆積物を堆積させる工程であることを特徴とする請求項 1 6 に記載の電子線装置の製造方法。

【請求項 1 9】 前記第 1 の工程は、前記第 1 のプレートに配線が形成された後に行われることを特徴とする請求項 1 6 に記載の電子線装置の製造方法。

【請求項 2 0】 前記第 1 の工程は、電子放出部が形成される導電性薄膜の形成の後に行われることを特徴とする請求項 1 6 に記載の電子線装置の製造方法。

【請求項 2 1】 前記第 1 のプレートと、前記電極との間に電圧を印可することによって、前記第 1 のプレートと、前記電極との間に電流が流れることを特徴とする請求項 1 6 に記載の電子線装置の製造方法。

【請求項 2 2】 前記電流は、前記第 1 のプレートと、前記電極との間で生じる放電により流れるものであることを特徴とする請求項 2 1 に記載の電子線装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電子線装置及びその応用である表示装置等の画像形成装置に関する

ものである。

【0002】

【従来の技術】

従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、たとえば表面伝導型放出素子や、電界放出型素子（以下FE型と記す）や、金属／絶縁層／金属型放出素子（以下MIM型と記す）などが知られている。

【0003】

表面伝導型放出素子としては、たとえば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965)や、後述する他の例が知られている。

【0004】

表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたものの他に、Au 薄膜によるもの[G.Dittmer: "Thin Solid Films", 9, 317(1972)]や、 In_2O_3 / SnO_2 薄膜によるもの[M.Hartwell and C.G.Fonstad: "IEEE Trans. ED Conf.", 519(1975)]や、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22 (1983)] 等が報告されている。

【0005】

これらの表面伝導型放出素子の素子構成の典型的な例として、図23に前述のM. Hartwellらによる素子の平面図を示す。同図において、3001は基板で、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。該導電性薄膜3004に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5～1 [mm]、Wは、0.1 [mm] で設定されている。尚、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形の形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0006】

H. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜 3 0 0 4 に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部 3 0 0 5 を形成するのが一般的であった。すなわち、通電フォーミングとは、前記導電性薄膜 3 0 0 4 の両端に一定の直流電圧、もしくは、例えば 1 V / 分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜 3 0 0 4 を局所的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部 3 0 0 5 を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜 3 0 0 4 の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜 3 0 0 4 に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【 0 0 0 7 】

また、F E 型の例は、たとえば、W. P. Dyke & W. W. Dolan, "Field Emission", Advance in Electron Physics, 8, 89 (1956) や、あるいは、C. A. Spindt, "Physical Properties of Thin-Film Field Emission Cathodes with Molybdenum Cones", J. Appl. Phys., 47, 5248 (1976) などが知られている。

【 0 0 0 8 】

F E 型の素子構成の典型的な例として、図 2 4 に前述の C. A. Spindt らによる素子の断面図を示す。同図において、3 0 1 0 は基板で、3 0 1 1 は導電材料よりなるエミッタ配線、3 0 1 2 はエミッタコーン、3 0 1 3 は絶縁層、3 0 1 4 はゲート電極である。本素子は、エミッタコーン 3 0 1 2 とゲート電極 3 0 1 4 の間に適宜の電圧を印加することにより、エミッタコーン 3 0 1 2 の先端部より電界放出を起こさせるものである。

【 0 0 0 9 】

また、F E 型の他の素子構成として、図 2 4 のような積層構造ではなく、基板上に基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。

【 0 0 1 0 】

また、M I M 型の例としては、たとえば、C. A. Head, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961) などが知られている。M I M 型の素子構成の典型的な例を図 2 5 に示す。同図は断面図であり、図にお

いて、3 0 2 0は基板で、3 0 2 1は金属よりなる下電極、3 0 2 2は厚さ1 0 0オングストローム程度の薄い絶縁層、3 0 2 3は厚さ8 0～3 0 0オングストローム程度の金属よりなる上電極である。

【0 0 1 1】

MIM型においては、上電極3 0 2 3と下電極3 0 2 1の間に適宜の電圧を印加することにより、上電極3 0 2 3の表面より電子放出を起こさせるものである。

【0 0 1 2】

上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒーターを必要としない。したがって、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶融などの問題が発生しにくい。また、熱陰極素子がヒーターの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。

【0 0 1 3】

このため、冷陰極素子を応用するための研究が盛んに行われてきている。

【0 0 1 4】

たとえば、表面伝導型放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、たとえば本出願人による特開昭6 4 - 3 1 3 3 2号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0 0 1 5】

また、表面伝導型放出素子の応用については、たとえば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源等が研究されている。

【0 0 1 6】

特に、画像表示装置への応用としては、たとえば本出願人による米国特許第5, 0 6 6, 8 8 3号や特開平2 - 2 5 7 5 5 1号公報や特開平4 - 2 8 1 3 7号公報において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。表

面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。たとえば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【 0 0 1 7 】

また、F E 型を多数個ならべて駆動する方法は、たとえば本出願人による米国特許 4, 9 0 4, 8 9 5 号に開示されている。また、F E 型を画像表示装置に応用した例として、たとえば、R. Meyerらにより報告された平板型表示装置が知られている[R.Meyer: "Recent Development on Micro-tips Display at LETI" ,Tech. Digest of 4th Int.Va cuum Microelectronics Conf., Nagahama, pp.6~9(1991)]。

【 0 0 1 8 】

また、M I M 型を多数個並べて画像表示装置に応用した例は、たとえば本出願人による特開平 3 - 5 5 7 3 8 号公報に開示されている。

【 0 0 1 9 】

上記のような電子放出素子を用いた画像形成装置のうちで、奥行きが薄い平面型表示装置は省スペースかつ軽量であることから、ブラウン管型の表示装置に置き換わるものとして注目されている。

【 0 0 2 0 】

図 2 6 は平面型の画像表示装置をなす表示パネル部の一例を示す斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【 0 0 2 1 】

図中、3 1 1 5 はリアプレート、3 1 1 6 は側壁、3 1 1 7 はフェースプレートであり、リアプレート 3 1 1 5、側壁 3 1 1 6 及びフェースプレート 3 1 1 7 により、表示パネルの内部を真空中に維持するための外囲器（気密容器）を形成している。

【 0 0 2 2 】

リアプレート 3 1 1 5 には基板 3 1 1 1 が固定されているが、この基板 3 1 1 1 上には冷陰極素子 3 1 1 2 が、 $N \times M$ 個形成されている（ N 、 M は 2 以上の正

の整数であり、目的とする表示画素数に応じて適宜設定される。)。また、前記 $N \times M$ 個の冷陰極素子 3 1 1 2 は、図 2 6 に示すとおり、 M 本の行方向配線 3 1 1 3 と N 本の列方向配線 3 1 1 4 により配線されている。これら基板 3 1 1 1、冷陰極素子 3 1 1 2、行方向配線 3 1 1 3 及び列方向配線 3 1 1 4 によって構成される部分をマルチ電子ビーム源と呼ぶ。また、行方向配線 3 1 1 3 と列方向配線 3 1 1 4 の少なくとも交差する部分には、両配線間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。

【 0 0 2 3 】

フェースプレート 3 1 1 7 の下面には、蛍光体からなる蛍光膜 3 1 1 8 が形成されており、赤（R）、緑（G）、青（B）の 3 原色の蛍光体（不図示）が塗り分けられている。また、蛍光膜 3 1 1 8 をなす各色蛍光体の間には黒色体（不図示）が設けてあり、さらに蛍光膜 3 1 1 8 のリアプレート 3 1 1 5 側の面には、A 1 等からなるメタルバック 3 1 1 9 が形成されている。

【 0 0 2 4 】

$Dx1 \sim Dx m$ 及び $Dy1 \sim Dy n$ 及び Hv は、当該表示パネルと不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。 $Dx1 \sim Dx m$ はマルチ電子ビーム源の行方向配線 3 1 1 3 と、 $Dy1 \sim Dy n$ はマルチ電子ビーム源の列方向配線 3 1 1 4 と、 Hv はメタルバック 3 1 1 9 と各々電気的に接続している。

【 0 0 2 5 】

また、気密容器の内部は 10 のマイナス 6 乗 Torr 程度の真空に保持されており、画像表示装置の表示面積が大きくなるにしたがい、気密容器内部と外部の気圧差によるリアプレート 3 1 1 5 及びフェースプレート 3 1 1 7 の変形あるいは破壊を防止する手段が必要となる。リアプレート 3 1 1 5 及びフェースプレート 3 1 1 6 を厚くすることによる方法は、画像表示装置の重量を増加させるのみならず、斜め方向から見たときに画像のゆがみや視差を生ずる。これに対し、図 2 6 においては、比較的薄いガラス板からなり大気圧を支えるための構造支持体（スペーサあるいはリブと呼ばれる）3 1 2 0 が設けられている。このようにして、マルチビーム電子源が形成された基板 3 1 1 1 と蛍光膜 3 1 1 8 が形成され

たフェースプレート 3 1 1 6 間は通常サブミリないし数ミリに保たれ、前述したように気密容器内部は高真空に保持されている。

【 0 0 2 6 】

以上説明した表示パネルを用いた画像表示装置は、容器外端子 $D \times 1$ ないし $D \times m$ 、 $D y 1$ ないし $D y n$ を通じて各冷陰極素子 3 1 1 2 に電圧を印加すると、各冷陰極素子 3 1 1 2 から電子が放出される。それと同時にメタルバック 3 1 1 9 に容器外端子 $H v$ を通じて数百 [V] ないし数 [kV] の高圧を印加して、放出された電子を加速し、フェースプレート 3 1 1 7 の内面に衝突させる。これにより、蛍光膜 3 1 1 8 をなす各色の蛍光体が励起されて発光し、画像が表示される。

【 0 0 2 7 】

【発明が解決しようとする課題】

以上説明した画像表示装置の表示パネルにおいては、以下のような問題点があった。

【 0 0 2 8 】

前述のように、冷陰極素子 3 1 1 2 からの放出電子を加速するためにマルチビーム電子源とフェースプレート 3 1 1 7 との間には数百 V 以上の高電圧（即ち 1 kV/mm 以上の高電界）が印加される。

【 0 0 2 9 】

そのため、第 1 にスペーサ 3 1 2 0 表面や、側壁 3 1 1 6 表面での沿面放電が懸念される。

【 0 0 3 0 】

第 2 に冷陰極素子 3 1 1 2、行方向配線 3 1 1 3、列方向配線 3 1 1 4 等を含む、基板 3 1 1 1 上とフェースプレート 3 1 1 7 の間での真空放電が懸念される。

【 0 0 3 1 】

真空放電の原因としては、突起、ゴミの付着、ガスの吸着等が考えられる。

【 0 0 3 2 】

これらの放電は、画像表示中に突発的に起こり、画像を乱すだけでなく、放電

個所近傍の冷陰極素子 3 1 1 2 を著しく劣化させ、その後の表示が正常にできなくなるという問題があった。

【 0 0 3 3 】

本発明は上記問題を克服するものであり、画像表示時の放電を防止し、良好な表示画像を得るための画像表示装置の製造方法及びその方法によって製造される画像表示装置を提供するものである。

【 0 0 3 4 】

【課題を解決するための手段】

本発明による画像形成装置の製造方法は、電子ビーム源を含むリアプレートと、電子ビームの照射により発光する蛍光体を形成したフェースプレートと、前記リアプレートとフェースプレートの間に配置される構造支持体とを備えた画像形成装置の製造方法において、前記フェースプレートと前記リアプレートと前記構造支持体とでパネルを組み立てた後に、前記フェースプレートと前記リアプレートの間に高電圧を印加する工程と、前記高電圧を印加する工程後に行う電子源を形成する工程と、を有することを特徴とする。

【 0 0 3 5 】

上記の高電圧の印加において、高電圧の値を放電が生じさせる程度にする場合もあるし、高電圧の値を放電が生じる直前の値として、印加を持続する場合もある。なお、高電圧の値が放電が生じる直前の値であることは、前駆電流と呼ばれる微少電流が流れることにより、検出することができる。この前記電流は時間の経過と共に減少する。

【 0 0 3 6 】

また、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記高電圧を印加する工程を、真空中で行うことを特徴とする。

【 0 0 3 7 】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記高電圧を印加する工程を、画像形成装置内に気体を導入して行うことを特徴とする。

【 0 0 3 8 】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記電子ビーム源は、複数の配線によって結線された複数の電子放出素子を有し、前記高電圧を印加する工程で、前記複数の配線を共通に接地し、前記フェースプレートに前記高電圧を印加することを特徴とする。

【 0 0 3 9 】

更に、本発明による画像形成装置の製造方法は、上記の製造方法において、前記構造支持体は、矩形形状を有し、その長手方向が前記複数の配線と平行になるように前記電子ビーム源とフェースプレートとの間に配置されていることを特徴とする。

【 0 0 4 0 】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記電子源は、複数の行方向配線と複数の列方向配線とでマトリクス配線された複数の電子放出素子を有し、前記高電圧を印加する工程で、前記複数の行方向配線と前記複数の列方向配線を共通に接地し、前記フェースプレートに前記高電圧を印加することを特徴とする。

【 0 0 4 1 】

更に、本発明による画像形成装置の製造方法は、上記の製造方法において、前記構造支持体は、その長手方向が前記複数の行方向配線又は前記複数の列方向配線のいずれか一方と平行になるように、前記電子ビーム源と前記フェースプレートとの間に配置されていることを特徴とする。

【 0 0 4 2 】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記高電圧は、ピーク値が低圧から徐々に昇圧していく交流であることを特徴とする。

【 0 0 4 3 】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記高電圧は、ピーク値が低圧から徐々に昇圧していくパルス電圧であることを特徴とする。

【 0 0 4 4 】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記高電圧は、低圧から徐々に昇圧していく単調増加電圧であることを特徴とする。

【0045】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記電子ビーム源は、冷陰極素子であることを特徴とする。

【0046】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置の製造方法において、前記電子ビーム源は、表面伝導型電子放出素子であることを特徴とする。

【0047】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置において、前記電子源を形成する工程は、通電フォーミング工程を含むことを特徴とする。

【0048】

更に、本発明による画像形成装置の製造方法は、上記の画像形成装置において、前記電子源を形成する工程は、通電活性化工程を含むことを特徴とする。

【0049】

本発明による電子線装置の製造方法は、電子ビームを発生する電子ビーム源を有する第1のプレートと、該第1のプレートに対向する電極と、を備える電子線装置の製造方法であって、前記第1のプレートと、前記電極との間に電圧を印加する第1の工程と、該第1の工程の後に行う前記電子ビーム源を形成する工程と、を有することを特徴とする。

【0050】

また、本発明による電子線装置の製造方法は、上記の電子線装置の製造方法において、前記第1の工程の後に行う前記電子ビーム源を形成する工程は、導電性膜に通電することにより該導電性膜に高抵抗部を形成する工程であることを特徴とする。

【0051】

ここで、この高抵抗部とは、例えば、導電性膜に形成された亀裂部であったりする。この高抵抗部は、例えば、導電性膜に通電することにより形成することができる。

【 0 0 5 2 】

更に、本発明による電子線装置の製造方法は、上記の電子線装置の製造方法において、前記第 1 の工程の後に行う前記電子ビーム源を形成する工程は、電子放出部、電子放出部の近傍又は前記電子放出部及び前記電子放出部の近傍に堆積物を堆積させる工程であることを特徴とする。

【 0 0 5 3 】

更に、本発明による電子線装置の製造方法は、上記の電子線装置の製造方法において、前記第 1 の工程は、前記第 1 のプレートに配線が形成された後に行われることを特徴とする。

【 0 0 5 4 】

更に、本発明による電子線装置の製造方法は、上記の電子線装置の製造方法において、前記第 1 の工程は、電子放出部が形成される導電性薄膜の形成の後に行われることを特徴とする。

【 0 0 5 5 】

更に、本発明による電子線装置の製造方法は、上記の電子線装置の製造方法において、前記第 1 のプレートと、前記電極との間に電圧を印可することによって、前記第 1 のプレートと、前記電極との間に電流が流れることを特徴とする。

【 0 0 5 6 】

更に、本発明による電子線装置の製造方法は、上記の電子線装置の製造方法において、前記電流は、前記第 1 のプレートと、前記電極との間で生じる放電により流れるものであることを特徴とする。

【 0 0 5 7 】

本発明のよる画像形成装置は上記のいずれかの製造方法により製造されたことを特徴とする。

【 0 0 5 8 】

【発明の実施の形態】

〔実施形態 1〕

以下本発明の画像表示装置について、詳細に説明する。

〔0059〕

始めに本発明の画像表示装置の製造方法の工程の流れを図 1 を用いて簡単に説明する。

〔0060〕

まず電子源を含むリアプレート、側壁、蛍光体を含むフェースプレート、スペーサ等から構成される気密容器を組立てる（ステップ S 1 0 1）。組立て方法について詳しくは後述する。

〔0061〕

また本発明の電子源としては、表面伝導型放出素子を用いた。詳しくは後述する。

〔0062〕

次に気密容器内部を排気管を通して 1 0 のマイナス 6 乗 [T o r r] 程度の真空に排気する（ステップ S 1 0 2）。排気の方法について詳しくは後述する。

〔0063〕

次に 1 2 0 ℃ のベーキングを行い（ステップ S 1 0 3）、その後本発明の特徴であるフェースプレートとリアプレートの間に高電圧を印加する工程を行う（ステップ S 1 0 4）。

〔0064〕

続いて表面伝導型放出素子を動作させるために必要な電子源プロセスを行う。具体的には、電子放出部を形成するための通電フォーミング工程（ステップ S 1 0 5）、電子放出特性の改善のための通電活性化工程（ステップ S 1 0 6）である。これらについても詳しくは後述する。

〔0065〕

最後に排気管を封じ切る（ステップ S 1 0 7）。

〔0066〕

この本発明の特徴であるフェースプレートとリアプレートの間に高電圧を印加する工程（ステップ S 1 0 4）の目的としては以下の 2 点があげられる。

【0067】

第1に、重大な欠陥品をいち早く発見し、製品歩留まりを向上させることである。従来の製法では、画像表示と同等の高電圧を印加するのは、電子源プロセスを経た最終段階であった。これに対し高電圧を印加する工程をより前に持つてくことで、高電圧印加不可である欠陥品を発見し、その後のプロセスを中断することが可能となる。高電圧印加不可とは、ごみ付着等の理由でフェースプレートとリアプレートの間の低抵抗化が起きたり、形状的欠陥等で放電が連続的に頻発するような状態が考えられる。

【0068】

第2に、いわゆるコンディショニング効果により、フェースプレートとリアプレートの間の絶縁耐圧、放電耐圧の向上を図ることである。

【0069】

図2の模式図を用い、コンディショニング効果について説明する。

【0070】

図2において、横軸は放電回数、縦軸はその時の放電電圧である。放電回数とともに放電電圧は上昇し、耐圧が向上していくことが分かる。

【0071】

このように放電を重ねることによって耐圧が向上することを、一般にコンディショニング効果と呼んでいる。コンディショニング効果をもたらす要因としては、吸着ガスや付着物の除去、微小突起の平滑化による電界放出電子電流の減少、熱融解による表面形状改善等がいわれているが、詳細は現在も不明である。

【0072】

表面伝導型放出素子を用いた画像形成装置においても、このコンディショニング効果はみられる。しかし前述したとおり、放電による表面伝導型放出素子へのダメージが大きく、放電個所周辺の素子が著しく劣化する問題のため、従来は実施することができなかった。

【0073】

本実施形態によれば、フェースプレートとリアプレートの間に高電圧を印加して放電を起こし、コンディショニング効果により放電耐圧を向上させ、かつ表面

伝導型放出素子へのダメージが無い（表示画像への影響が全く無い）方法を提供することができる。

【0074】

本実施形態において、素子ダメージレスのコンディショニングが実現できた理由として、以下の2つが考えられる。

【0075】

一つは、高電圧を印加する工程が後述する通電フォーミング工程の前に行われるため、表面伝導型放出素子の電極間抵抗が低い状態でコンディショニングが行われ、従って、放電電荷がGNDへ逃げやすいこと、すなわち、放電により表面伝導型放出素子に異常電圧がかかりにくいことがあげられる。

【0076】

もう一つは、高電圧を印加する工程が後述する通電フォーミング工程や通電活性化工程の前に行われるため、素子表面伝導型放出素子が未形成の状態でコンディショニングが行われ、従って、放電により多少表面伝導型放出素子部が損傷を受けても、活性化工程で修復されていることである。

【0077】

以上のように本発明の最大の特徴は、工程の順序にある。すなわち、電子源プロセス前（電子源素子完全形成前）に、高電圧を印加し、電子源特性に影響を与えること無しに放電耐圧を向上させることにある。

【0078】

次に本発明の特徴であるフェースプレートとリアプレートの高電圧を印加する工程について具体的に説明する。

【0079】

本実施形態においては、高電圧印加に先立ち、排気後、120℃程度で約2時間ベーキングを行う。これは、表面吸着ガス除去や、真空度向上の目的で行われ、コンディショニングをより効果的に、短時間でできるようにする効果がある。真空容器中は、10のマイナス7乗 [T o r r] 程度の真空に保たれる。

【0080】

図3は本実施形態の概略構成を示したブロック図である。

【 0 0 8 1 】

高圧直流電源発生装置 1 0 1 は、フェースプレート 1 0 1 7 との間に電流制限抵抗 1 0 2 を介して接続され、フェースプレート 1 0 1 7 には直流電圧が印加される。実際にはフェースプレート 1 0 1 7 上の不図示のメタルバックに印加される。

【 0 0 8 2 】

図 8 に示すように、各表面伝導型放出素子 1 0 1 2 は、リアプレート 1 0 1 5 上の行方向配線 1 0 1 3 及び列方向配線 1 0 1 4 によってマトリクス配線されており、図 3 のように行方向配線 1 0 1 3 及び列方向配線 1 0 1 4 を GND 電位とする。

【 0 0 8 3 】

図 4 は、時間に対する印加電圧と放電回数を示す模式図である。

【 0 0 8 4 】

印加電圧は、図のように 4 k V から 1 0 k V まで 5 0 0 V / 5 分の割合で昇圧し、1 0 k V で、1 5 分間保持した。本実施形態では一定レートで昇圧したが、階段状に昇圧してもよい。

【 0 0 8 5 】

放電は 4 k V を少し超えたところから観察されはじめ、1 0 k V 付近まで増加するが、1 0 k V に保持すると減少に転じ、まもなく 0 になる。これは、前述のコンディショニング効果によるものである。また観察される放電は、スペーサ表面や、側壁表面での沿面放電及び電子源や行方向配線、列方向配線等を含む、リアプレートとフェースプレート間での真空放電の両方である。なおスペーサについては詳細に後述する。

【 0 0 8 6 】

また上記電圧や昇圧レート、保持時間などは、本発明の画像表示装置に好適な値であり、設計が変われば条件を適宜変更するのが望ましい。ただし、その場合でも画像表示に必要な加速電圧以上の電圧において、放電が観察されなくなって十分時間が経過するまで保持することが必要である。

【 0 0 8 7 】

このようにして製造された画像表示装置により、放電がない良好な表示画像を得ることができた。

【0088】

(1) 画像表示装置概要

次に、本発明を適用した画像表示装置の表示パネルの構成と製造法について、具体的な例を示して説明する。

【0089】

図8は、実施形態に用いた表示パネルの斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【0090】

図中、1015はリアプレート、1016は側壁、1017はフェースプレートであり、1015～1017により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、たとえばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。また、上記気密容器の内部は10のマイナス6乗[Torr]程度の真空に保持されるので、大気圧や不意の衝撃などによる気密容器の破壊を防止する目的で、耐大気圧構造体として、スペーサ1020が設けられている。

【0091】

リアプレート1015には、基板1011が固定されているが、1011基板上には冷陰極素子1012が $N \times M$ 個形成されている（ N 、 M は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。たとえば、高品位テレビジョンの表示を目的とした表示装置においては、 $N=3000$ 、 $M=1000$ 以上の数を設定することが望ましい。）。 $N \times M$ 個の冷陰極素子は、 M 本の行方向配線1013と N 本の列方向配線1014により単純マトリクス配線されている。前記の1011～1014によって構成される部分をマルチ電子ビーム源と呼ぶ。

【 0 0 9 2 】

次に、冷陰極素子として表面伝導型放出素子（後述）を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

【 0 0 9 3 】

図 9 に示すのは、図 8 の表示パネルに用いたマルチ電子ビーム源の平面図である。基板 1 0 1 1 上には、後述の図 1 2 で示すものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線 1 0 1 3 と列方向配線 1 0 1 4 により単純マトリクス状に配線されている。行方向配線 1 0 1 3 と列方向配線 1 0 1 4 の交差する部分には、電極間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。

【 0 0 9 4 】

図 9 の B - B ' に沿った断面を、図 1 0 に示す。

【 0 0 9 5 】

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線 1 0 1 3、列方向配線 1 0 1 4、電極間絶縁層（不図示）、及び表面伝導型放出素子の素子電極と導電性薄膜を形成した後、前述した本発明の特徴である前述の高電圧印加工程を経て、行方向配線 1 0 1 3 及び列方向配線 1 0 1 4 を介して各素子に給電して通電フォーミング処理（後述）と通電活性化処理（後述）を行うことにより製造した。

【 0 0 9 6 】

本実施形態においては、気密容器のリアプレート 1 0 1 5 にマルチ電子ビーム源の基板 1 0 1 1 を固定する構成としたが、マルチ電子ビーム源の基板 1 0 1 1 が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子ビーム源の基板 1 0 1 1 自体を用いてもよい。

【 0 0 9 7 】

また、フェースプレート 1 0 1 7 の下面には、蛍光膜 1 0 1 8 が形成されている。本実施形態はカラー表示装置であるため、蛍光膜 1 0 1 8 の部分には C R T の分野で用いられる赤、緑、青の 3 原色の蛍光体が塗り分けられている。各色の蛍光体は、たとえば図 2 1 (a) に示すようにストライプ状に塗り分けられ、蛍

光体のストライプの間には黒色の導電体 1010 が設けてある。黒色の導電体 1010 を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにすることや、外光の反射を防止して表示コントラストの低下を防ぐこと、電子ビームによる蛍光膜のチャージアップを防止することなどである。黒色の導電体 1010 には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いてもよい。

【0098】

また、3 原色の蛍光体の塗り分け方は図 21 (a) に示したストライプ状の配列に限られるものではなく、たとえば図 21 (b) に示すようなデルタ状配列や、それ以外の配列（たとえば図 22）であってもよい。

【0099】

なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜 1018 に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0100】

また、蛍光膜 1018 のリアプレート側の面には、CRT の分野では公知のメタルバック 1019 を設けてある。メタルバック 1019 を設けた目的は、蛍光膜 1018 が発する光の一部を鏡面反射して光利用率を向上させることや、負イオンの衝突から蛍光膜 1018 を保護することや、電子ビーム加速電圧を印加するための電極として作用させることや、蛍光膜 1018 を励起した電子の導電路として作用させることなどである。メタルバック 1019 は、蛍光膜 1018 をフェースプレート基板 1017 上に形成した後、蛍光膜表面を平滑化处理し、その上に Al を真空蒸着する方法により形成した。なお、蛍光膜 1018 に低電圧用の蛍光体材料を用いた場合には、メタルバック 1019 は用いない。

【0101】

また、本実施形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板 1017 と蛍光膜 1018 との間に、たとえば ITO を材料とする透明電極を設けてもよい。

【0102】

図 11 は図 8 の A-A' の断面模式図であり、各部の番号は図 8 に対応してい

る。スペーサ 1 0 2 0 は絶縁性部材 1 の表面に帯電防止を目的とした高抵抗膜 1 1 を成膜し、かつフェースプレート 1 0 1 7 の内側（メタルバック 1 0 1 9 等）及び基板 1 0 1 1 の表面（行方向配線 1 0 1 3 または列方向配線 1 0 1 4）に面したスペーサの当接面 3 及び接する側面部 5 に低抵抗膜 2 1 を成膜した部材からなるもので、上記目的を達成するのに必要な数だけ、かつ必要な間隔をおいて配置され、フェースプレートの内側及び基板 1 0 1 1 の表面に接合材 1 0 4 1 により固定される。また、高抵抗膜 1 1 は、絶縁性部材 1 の表面のうち、少なくとも気密容器内の真空中に露出している面に成膜されており、スペーサ 1 0 2 0 上の低抵抗膜 2 1 及び接合材 1 0 4 1 を介して、フェースプレート 1 0 1 7 の内側（メタルバック 1 0 1 9 等）及び基板 1 0 1 1 の表面（行方向配線 1 0 1 3 または列方向配線 1 0 1 4）に電氣的に接続される。ここで説明される態様においては、スペーサ 1 0 2 0 の形状は薄板状とし、行方向配線 1 0 1 3 に平行に配置され、行方向配線 1 0 1 3 に電氣的に接続されている。

【 0 1 0 3 】

スペーサ 1 0 2 0 としては、基板 1 0 1 1 上の行方向配線 1 0 1 3 及び列方向配線 1 0 1 4 とフェースプレート 1 0 1 7 内面のメタルバック 1 0 1 9 との間に印加される高電圧に耐えるだけの絶縁性を有し、かつスペーサ 1 0 2 0 の表面への帯電を防止する程度の導電性を有する必要がある。

【 0 1 0 4 】

スペーサ 1 0 2 0 の絶縁性部材 1 としては、例えば石英ガラス、Na 等の不純物含有量を減少したガラス、ソーダライムガラス、アルミナ等のセラミックス部材等が挙げられる。なお、絶縁性部材 1 はその熱膨張率が気密容器及び基板 1 0 1 1 を成す部材と近いものが好ましい。

【 0 1 0 5 】

スペーサ 1 0 2 0 を構成する高抵抗膜 1 1 には、高電位側のフェースプレート 1 0 1 7 （メタルバック 1 0 1 9 等）に印加される加速電圧 V_a を帯電防止膜である高抵抗膜 1 1 の抵抗値 R_s で除した電流が流される。そこで、スペーサの抵抗値 R_s は帯電防止及び消費電力からその望ましい範囲に設定される。帯電防止の観点からシート抵抗は $10 \text{ の } 12 \text{ 乗 } \Omega / \square$ 以下であることが好ましい。十分な

帯電防止効果を得るためには 10 の 11 乗 Ω/\square 以下がさらに好ましい。シート抵抗の下限はスペーサ形状とスペーサ間に印加される電圧により左右されるが、 10 の 5 乗 Ω/\square 以上であることが好ましい。

【0106】

絶縁材料上に形成された高抵抗膜の厚み t は $10\text{ nm} \sim 1\text{ }\mu\text{m}$ の範囲が望ましい。材料の表面エネルギー及び基板との密着性や基板温度によっても異なるが、一般的に 10 nm 以下の薄膜は島状に形成され、抵抗が不安定で再現性に乏しい。一方、膜厚 t が $1\text{ }\mu\text{m}$ 以上では膜応力が大きくなって膜はがれの危険性が高まり、かつ成膜時間が長くなるため生産性が悪い。従って、膜厚は $50 \sim 500\text{ nm}$ であることが望ましい。シート抵抗は ρ/t であり、以上に述べたシート抵抗と膜厚 t の好ましい範囲から、帯電防止膜の比抵抗 ρ は $0.1\text{ }[\Omega\text{ cm}]$ 乃至 10 の 8 乗 $[\Omega\text{ cm}]$ が好ましい。さらにシート抵抗と膜厚のより好ましい範囲を実現するためには、 ρ は 10 の 2 乗乃至 10 の 6 乗 $\Omega\text{ cm}$ とするのがよい。

【0107】

スペーサは上述したようにその上に形成した帯電防止膜である高抵抗膜を電流が流れることにより、あるいはディスプレイ全体が動作中に発熱することによりその温度が上昇する。高抵抗膜の抵抗温度係数が大きな負の値であると温度が上昇した時に抵抗値が減少し、スペーサに流れる電流が増加し、さらに温度上昇をもたらす。そして電流は電源の限界を越えるまで増加しつづける。このような電流の暴走が発生する抵抗温度係数の値は経験的に負の値で絶対値が 1% 以上である。すなわち、高抵抗膜の抵抗温度係数は -1% 未満であることが望ましい。

【0108】

帯電防止特性を有する高抵抗膜 11 の材料としては、例えば金属酸化物を用いることができる。金属酸化物の中でも、クロム、ニッケル、銅の酸化物が好ましい材料である。その理由はこれらの酸化物は二次電子放出効率が比較的小さく、冷陰極素子 1012 から放出された電子がスペーサ 1020 に当たった場合においても帯電しにくいためと考えられる。金属酸化物以外にも炭素は二次電子放出効率が小さく好ましい材料である。特に、非晶質カーボンは高抵抗であるため、スペーサ抵抗を所望の値に制御しやすい。

【0109】

帯電防止特性を有する高抵抗膜 11 の他の材料として、アルミと遷移金属合金の窒化物は遷移金属の組成を調整することにより、良伝導体から絶縁体まで広い範囲に抵抗値を制御できるので好適な材料である。さらには後述する表示装置の作製工程において抵抗値の変化が少なく安定な材料である。かつ、その抵抗温度係数が -1 % 未満であり、実用的に使いやすい材料である。遷移金属元素としては Ti, Cr, Ta 等があげられる。

【0110】

合金窒化膜はスパッタ、窒素ガス雰囲気中での反応性スパッタ、電子ビーム蒸着、イオンプレーティング、イオンアシスト蒸着法等の薄膜形成手段により絶縁性部材上に形成される。金属酸化膜も同様の薄膜形成法で作製することができるが、この場合窒素ガスに代えて酸素ガスを使用する。その他、CVD法、アルコキシド塗布法でも金属酸化膜を形成できる。カーボン膜は蒸着法、スパッタ法、CVD法、プラズマCVD法で作製され、特に非晶質カーボンを作製する場合には、成膜中の雰囲気に水素が含まれるようにするか、成膜ガスに炭化水素ガスを使用する。

【0111】

スペーサ 1020 を構成する低抵抗膜 21 は、高抵抗膜 11 を高電位側のフェースプレート 1017 (メタルバック 1019 等) 及び低電位側の基板 1011 (配線 1013, 1014 等) と電氣的に接続するために設けられたものであり、以下では、中間電極層 (中間層) という名称も用いる。中間電極層 (中間層) は以下に列挙する複数の機能を有することができる。

【0112】

①高抵抗膜 11 をフェースプレート 1017 及び基板 1011 と電氣的に接続する。

【0113】

既に記載したように、高抵抗膜 11 はスペーサ 1020 表面での帯電を防止する目的で設けられたものであるが、高抵抗膜 11 をフェースプレート 1017 (メタルバック 1019 等) 及び基板 1011 (配線 1013, 1014 等) と直

接或いは当接材 1041 を介して接続した場合、接続部界面に大きな接触抵抗が発生し、スペーサ表面に発生した電荷を速やかに除去できなくなる可能性がある。これを避けるために、フェースプレート 1017、基板 1011 及び当接材 1041 と接触するスペーサ 1020 の当接面 3 或いは側面部 5 に低抵抗の中間層を設けた。

【0114】

②高抵抗膜 11 の電位分布を均一化する。

【0115】

冷陰極素子 1012 より放出された電子は、フェースプレート 1017 と基板 1011 の間に形成された電位分布に従って電子軌道を成す。スペーサ 1020 の近傍で電子軌道に乱れが生じないようにするためには、高抵抗膜 11 の電位分布を全域にわたって制御する必要がある。高抵抗膜 11 をフェースプレート 1017 (メタルバック 1019 等) 及び基板 1011 (配線 1013, 1014 等) と直接或いは当接材 1041 を介して接続した場合、接続部界面の接触抵抗のために、接続状態のむらが発生し、高抵抗膜 11 の電位分布が所望の値からずれてしまう可能性がある。これを避けるために、スペーサ 1020 がフェースプレート 1017 及び基板 1011 と当接するスペーサ端部 (当接面 3 或いは側面部 5) の全長域に低抵抗の中間層を設け、この中間層部に所望の電位を印加することによって、高抵抗膜 11 全体の電位を制御可能とした。

【0116】

③放出電子の軌道を制御する。

【0117】

冷陰極素子 1012 より放出された電子は、フェースプレート 1017 と基板 1011 の間に形成された電位分布に従って電子軌道を成す。スペーサ近傍の冷陰極素子から放出された電子に関しては、スペーサを設置することに伴う制約 (配線、素子位置の変更等) が生じる場合がある。このような場合、歪みやむらの無い画像を形成するためには、放出された電子の軌道を制御してフェースプレート 1017 上の所望の位置に電子を照射する必要がある。フェースプレート 1017 及び基板 1011 と当接する面の側面部 5 に低抵抗の中間層を設けることに

より、スペーサ 1020 近傍の電位分布に所望の特性を持たせ、放出された電子の軌道を制御することができる。

【0118】

低抵抗膜 21 は、高抵抗膜 11 に比べ十分に低い抵抗値を有する材料を選択すればよく、Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd 等の金属、あるいは合金、及び Pd, Ag, Au, RuO₂, Pd-Ag 等の金属や金属酸化物とガラス等から構成される印刷導体、あるいは In₂O₃-SnO₂ 等の透明導体及びポリシリコン等の半導体材料等より適宜選択される。

【0119】

接合材 1041 はスペーサ 1020 が行方向配線 1013 及びメタルバック 1019 と電気的に接続するように、導電性をもたせる必要がある。すなわち、導電性接着材や金属粒子や導電性フィラーを添加したフリットガラスが好適である。

【0120】

また、Dx1~Dxm 及び Dy1~Dyn 及び Hv は、当該表示パネルと不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。Dx1~Dxm はマルチ電子ビーム源の行方向配線 1013 と、Dy1~Dy n はマルチ電子ビーム源の列方向配線 1014 と、Hv はフェースプレートのメタルバック 1019 と電気的に接続している。

【0121】

また、気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内をマイナス 7 乗 [Torr] 程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、たとえば Ba を主成分とするゲッター材料をヒーターもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は 1×10 マイナス 5 乗ないしは 1×10 マイナス 7 乗 [Torr] の真空度に維持される。

【0122】

以上説明した表示パネルを用いた画像表示装置は、容器外端子Dx1ないしDxm、Dy1ないしDynを通じて各冷陰極素子1012に電圧を印加すると、各冷陰極素子1012から電子が放出される。それと同時にメタルバック1019に容器外端子Hvを通じて数百[V]ないし数[kV]の高圧を印加して、放出された電子を加速し、フェースプレート1017の内面に衝突させる。これにより、蛍光膜1018をなす各色の蛍光体が励起されて発光し、画像が表示される。

【0123】

通常、冷陰極素子である本発明の表面伝導型放出素子1012への印加電圧は12～16[V]程度、メタルバック1019と冷陰極素子1012との距離dは0.1[mm]から8[mm]程度、メタルバック1019と冷陰極素子1012間の電圧0.1[kV]から10[kV]程度である。

【0124】

以上、本発明の実施形態の表示パネルの基本構成と製法、及び画像表示装置の概要を説明した。

【0125】

(2) マルチ電子ビーム源の製造方法

次に、本実施形態の表示パネルに用いたマルチ電子ビーム源の製造方法について説明する。本発明の画像表示装置に用いるマルチ電子ビーム源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。したがって、たとえば表面伝導型放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。

【0126】

ただし、表示画面が大きくてしかも安価な表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも、表面伝導型放出素子が特に好ましい。すなわち、FE型ではエミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術を必要とするが、これは大面積化や製造コストの低減を達成するには不利な要因となる。また、MIM型では、絶縁層と上電極の膜厚を薄くてしかも均一にする必要があるが、これも大面積化や

製造コストの低減を達成するには不利な要因となる。その点、表面伝導型放出素子は、比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。また、発明者らは、表面伝導型放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製造が容易に行えることを見いだしている。したがって、高輝度で大画面の画像表示装置のマルチ電子ビーム源に用いるには、最も好適であると言える。そこで、実施形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法及び特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

【 0 1 2 7 】

(表面伝導型放出素子の好適な素子構成と製法)

電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の 2 種類があげられる。

【 0 1 2 8 】

(平面型の表面伝導型放出素子)

まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。

【 0 1 2 9 】

図 1 2 に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図 (a) 及び断面図 (b) である。図中、1 0 1 1 は基板、1 1 0 2 と 1 1 0 3 は素子電極、1 1 0 4 は導電性薄膜、1 1 0 5 は通電フォーミング処理により形成した電子放出部、1 1 1 3 は通電活性化処理により形成した薄膜である。

【 0 1 3 0 】

基板 1 0 1 1 としては、たとえば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上たとえば SiO_2 を材料とする絶縁層を積層した基板などを用いることができる。

【 0 1 3 1 】

また、基板 1011 上に基板面と平行に対向して設けられた素子電極 1102 と 1103 は、導電性を有する材料によって形成されている。たとえば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag 等をはじめとする金属、あるいはこれらの金属の合金、あるいは $\text{In}_2\text{O}_3 - \text{SnO}_2$ をはじめとする金属酸化物、ポリシリコンなどの半導体などの中から適宜材料を選択して用いればよい。電極を形成するには、たとえば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（たとえば印刷技術）を用いて形成しても差し支えない。

【0132】

素子電極 1102 と 1103 の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔 L は通常は数百オングストロームから数百マイクロメートルの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメートルより数十マイクロメートルの範囲である。また、素子電極の厚さ d については、通常は数百オングストロームから数マイクロメートルの範囲から適当な数値が選ばれる。

【0133】

また、導電性薄膜 1104 の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0134】

微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、なかでも好ましいのは 10 オングストロームから 200 オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。すなわち、素子電極 1102 あるいは 1103 と電氣的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する

適宜の値にするために必要な条件などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。

【0135】

また、微粒子膜を形成するのに用いられうる材料としては、たとえば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pbなどをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WCなどをはじめとする炭化物や、TiN, ZrN, HfNなどをはじめとする窒化物や、Si, Geなどをはじめとする半導体や、カーボンなどがあげられ、これらの中から適宜選択される。

【0136】

以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗 [Ω/\square] の範囲に含まれるよう設定した。

【0137】

なお、導電性薄膜1104と素子電極1102及び1103とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図12の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極の順序で積層しても差し支えない。

【0138】

また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図12においては模式的に示した。

【0 1 3 9】

また、薄膜 1 1 1 3 は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部 1 1 0 5 及びその近傍を被覆している。薄膜 1 1 1 3 は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0 1 4 0】

薄膜 1 1 1 3 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、膜厚は 5 0 0 [オングストローム] 以下とするが、3 0 0 [オングストローム] 以下とするのがさらに好ましい。なお、実際の薄膜 1 1 1 3 の位置や形状を精密に図示するのは困難なため、図 1 2 においては模式的に示した。また、平面図 (a) においては、薄膜 1 1 1 3 の電子放出部 1 1 0 5 付近の一部を除去した素子を図示した。

【0 1 4 1】

以上、好ましい素子の基本構成を述べたが、実施形態においては以下のような素子を用いた。

【0 1 4 2】

すなわち、基板 1 0 1 1 には青板ガラスを用い、素子電極 1 1 0 2 と 1 1 0 3 には Ni 薄膜を用いた。素子電極の厚さ d は 1 0 0 0 [オングストローム]、電極間隔 L は 2 [マイクロメートル] とした。

【0 1 4 3】

微粒子膜の主要材料として Pd もしくは PdO を用い、微粒子膜の厚さは約 1 0 0 [オングストローム]、幅 W は 1 0 0 [マイクロメートル] とした。

【0 1 4 4】

次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。

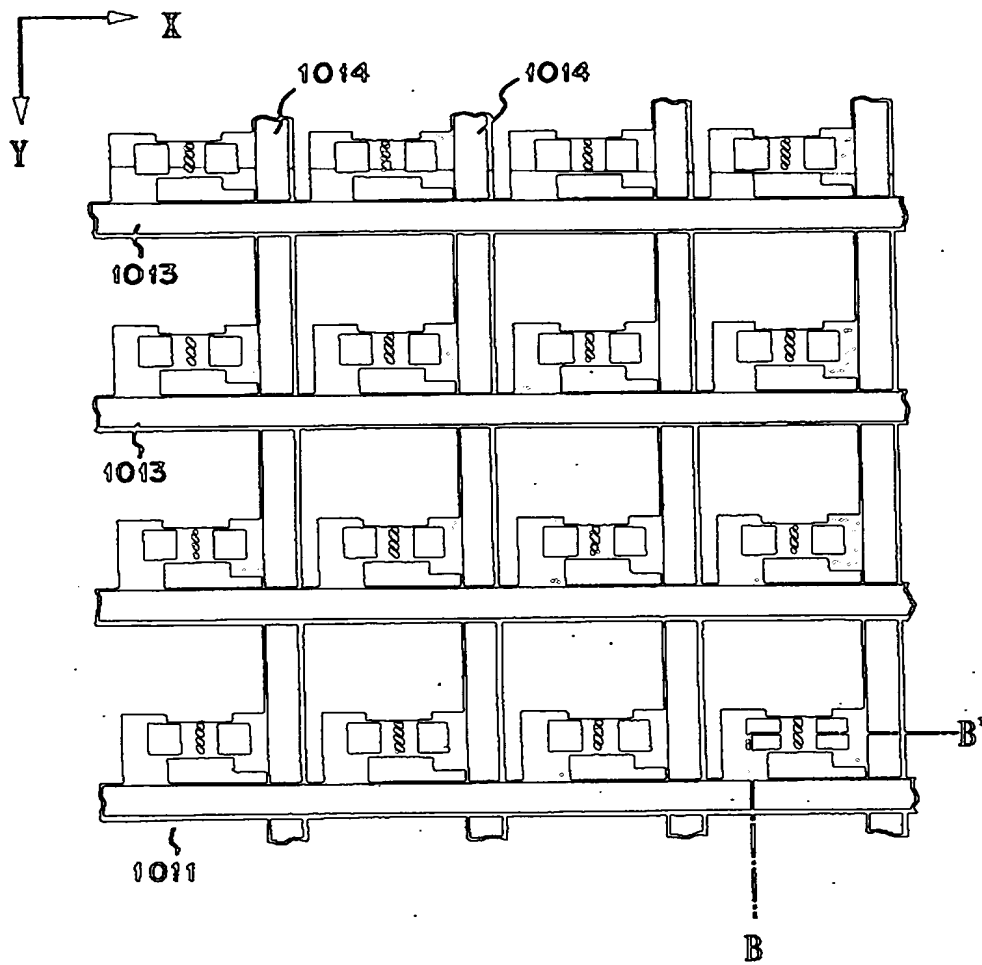
【0 1 4 5】

図 1 3 (a) ~ (d) は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は図 1 2 と同一である。

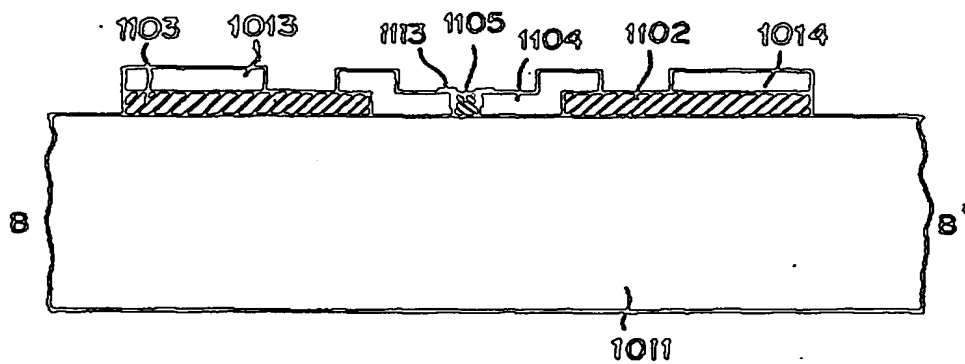
1) まず、図 1 3 (a) に示すように、基板 1 0 1 1 上に素子電極 1 1 0 2 及び 1 1 0 3 を形成する。

【0 1 4 6】

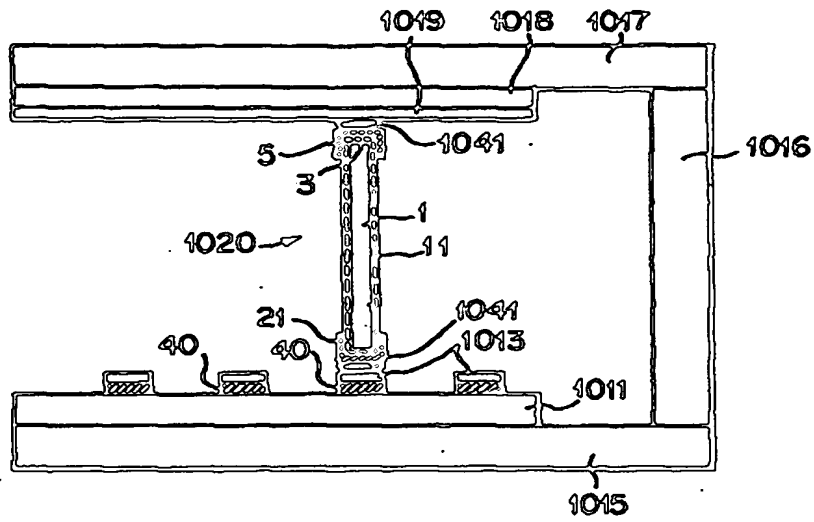
【図 9】



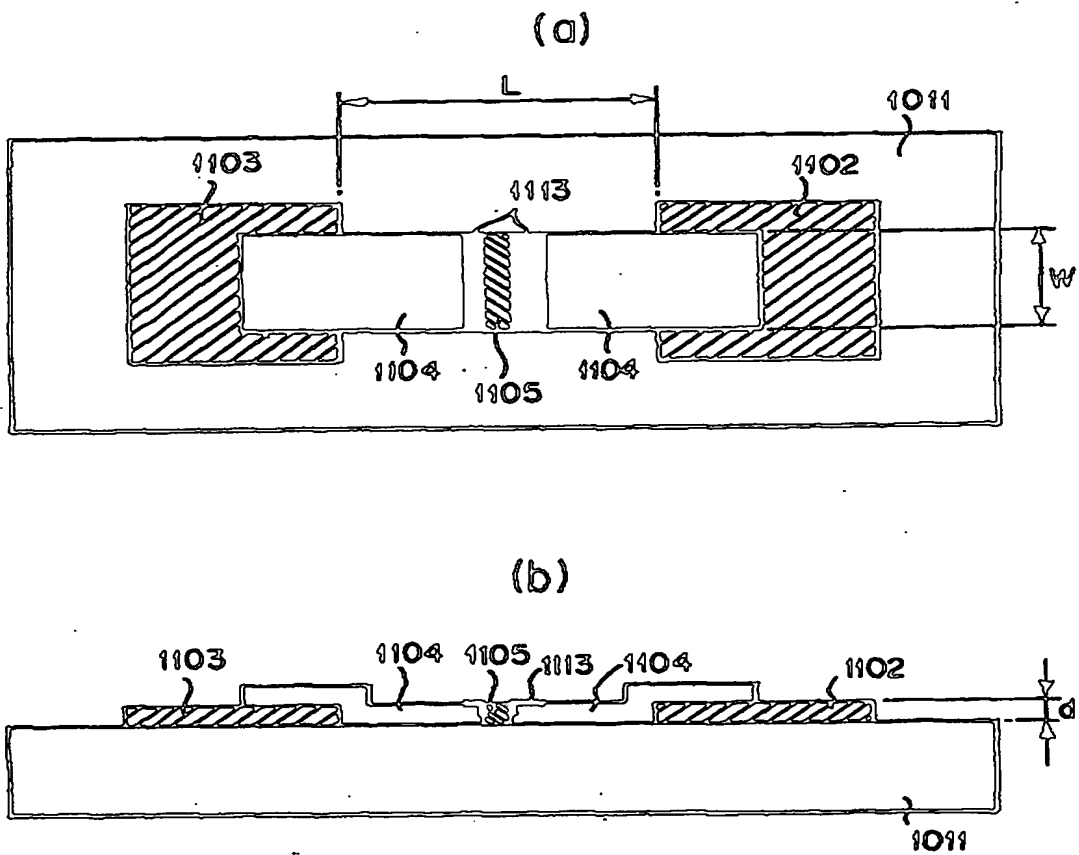
【図 10】



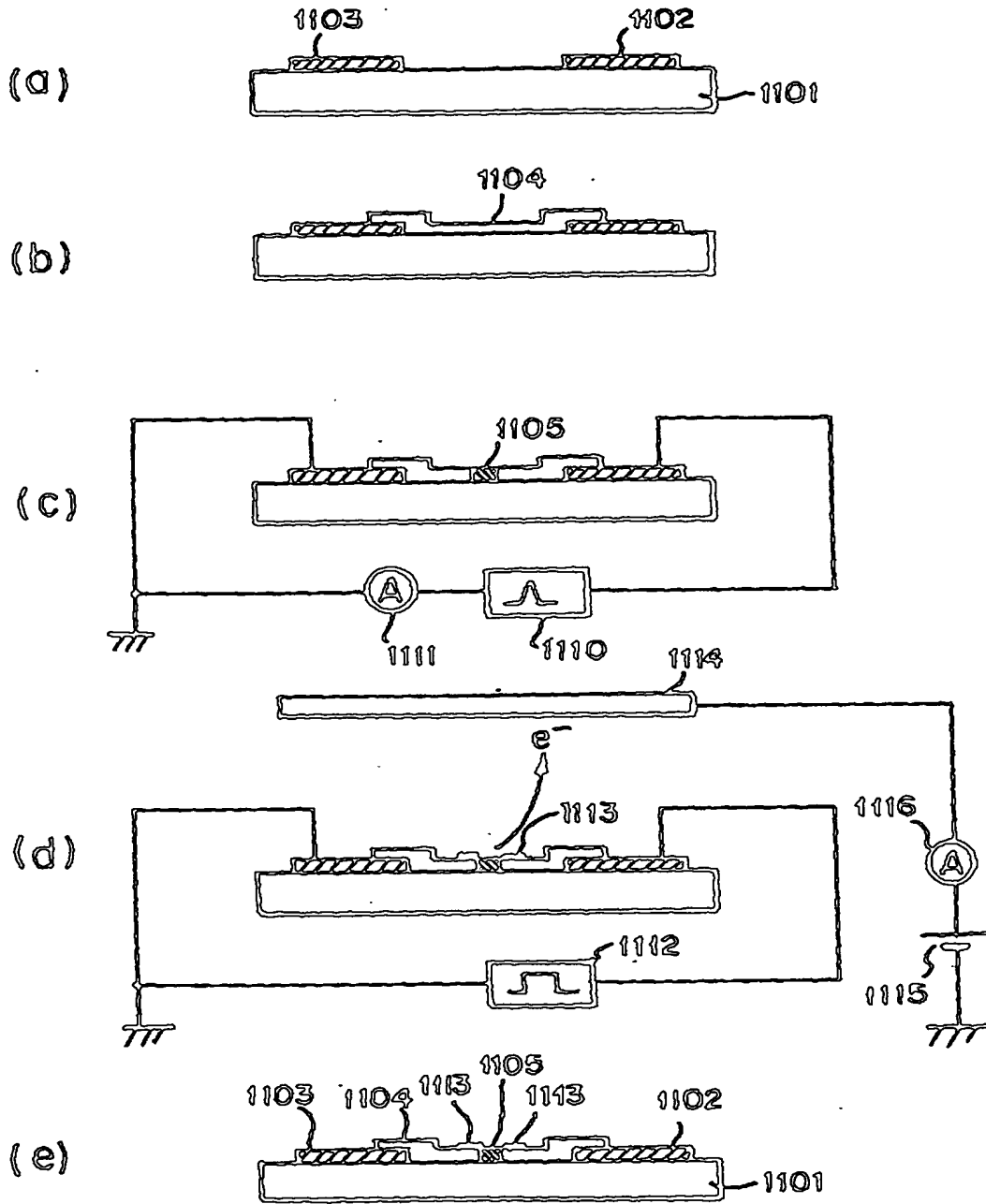
【図 11】



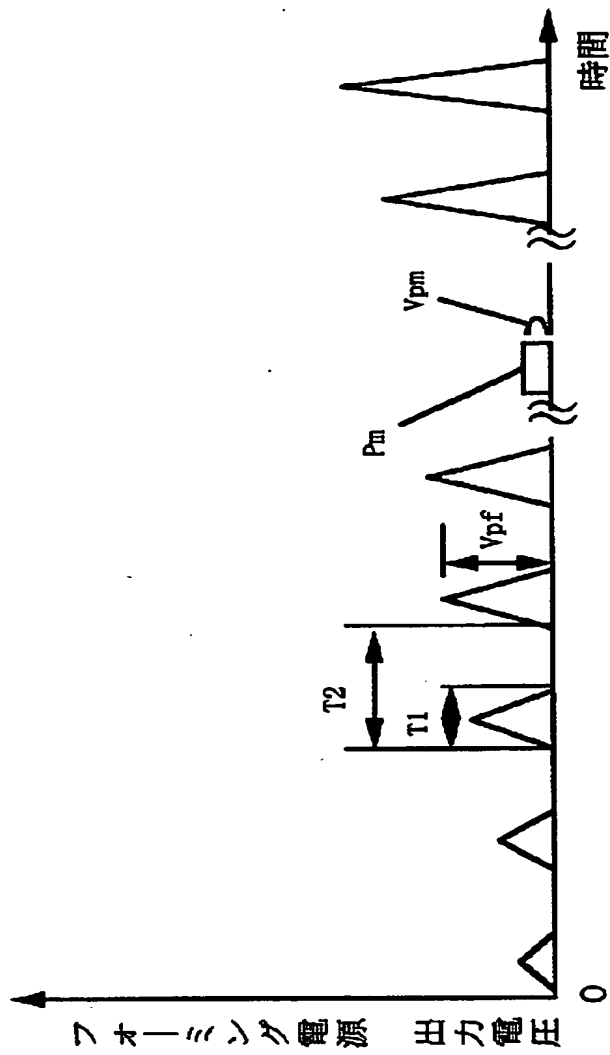
【図 12】



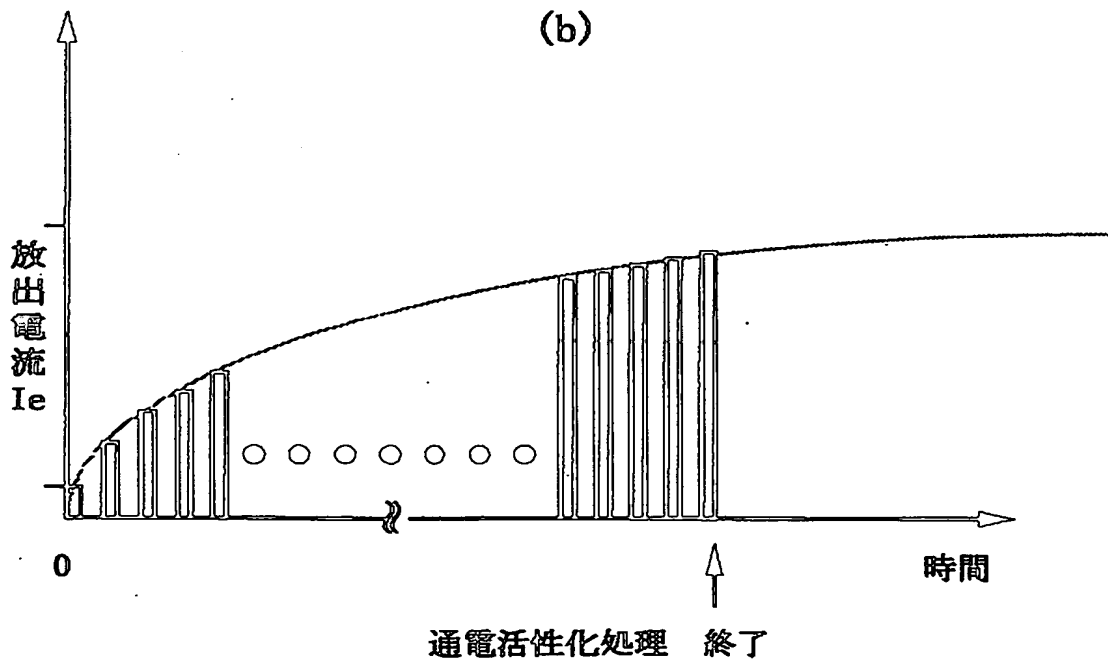
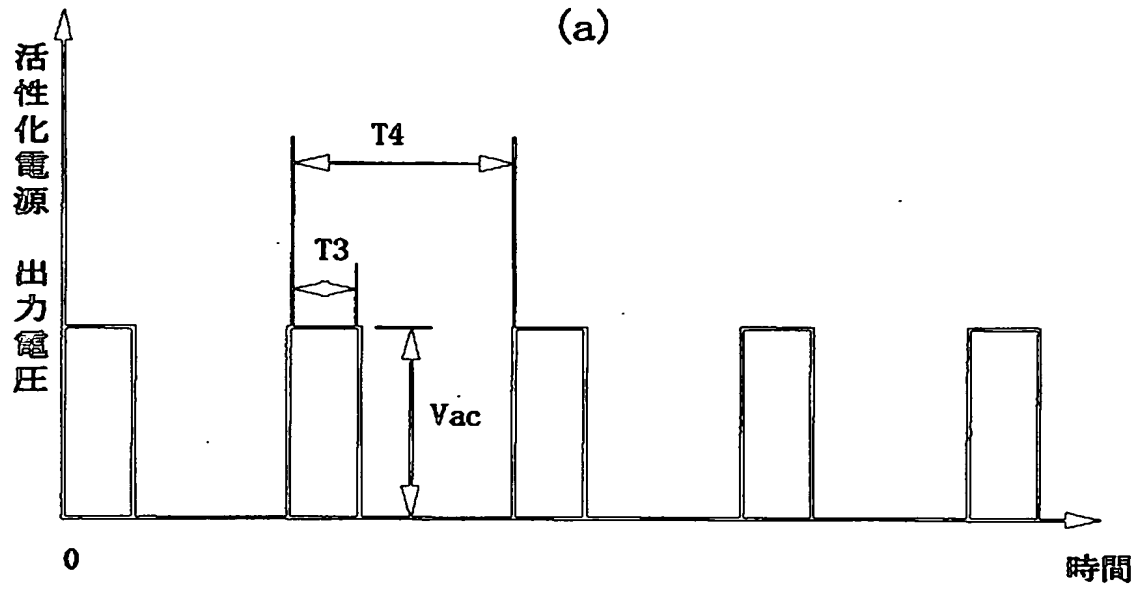
【図 13】



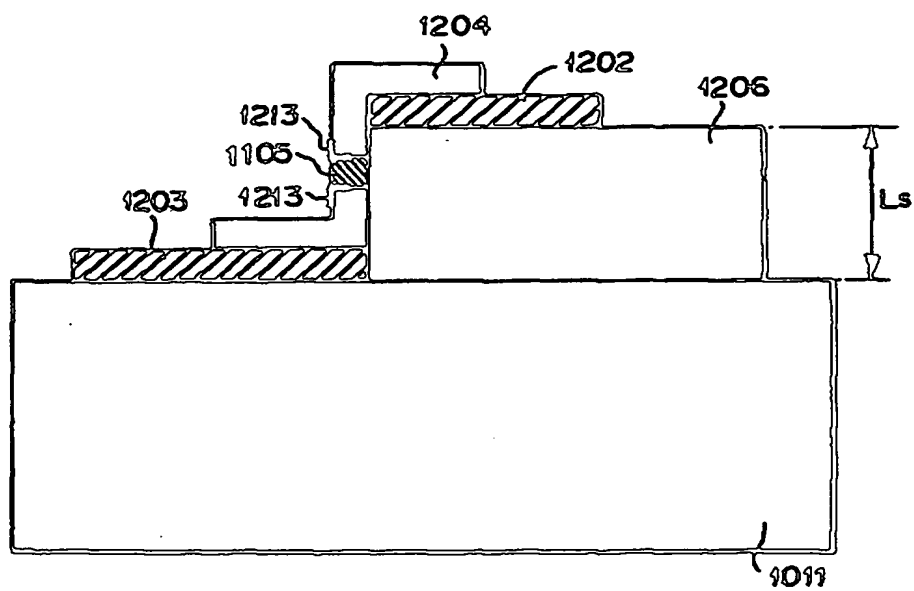
【図 1 4】



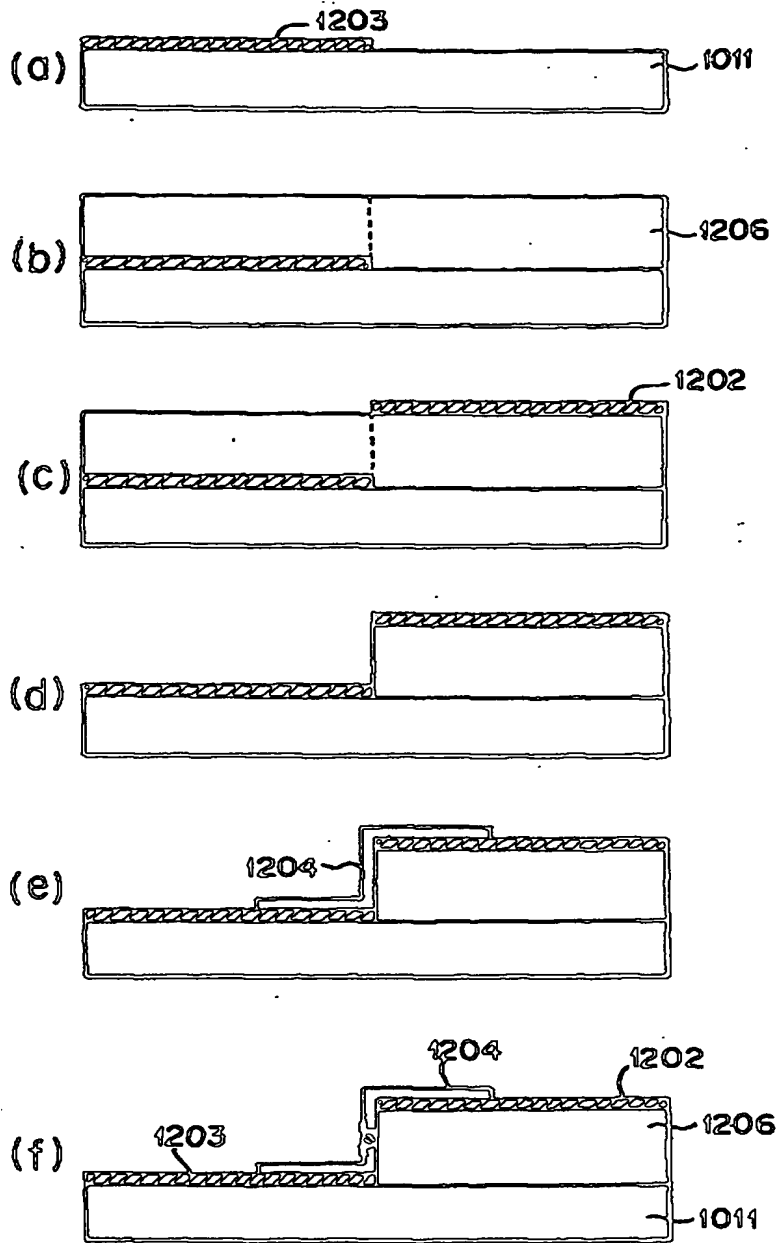
【図 15】



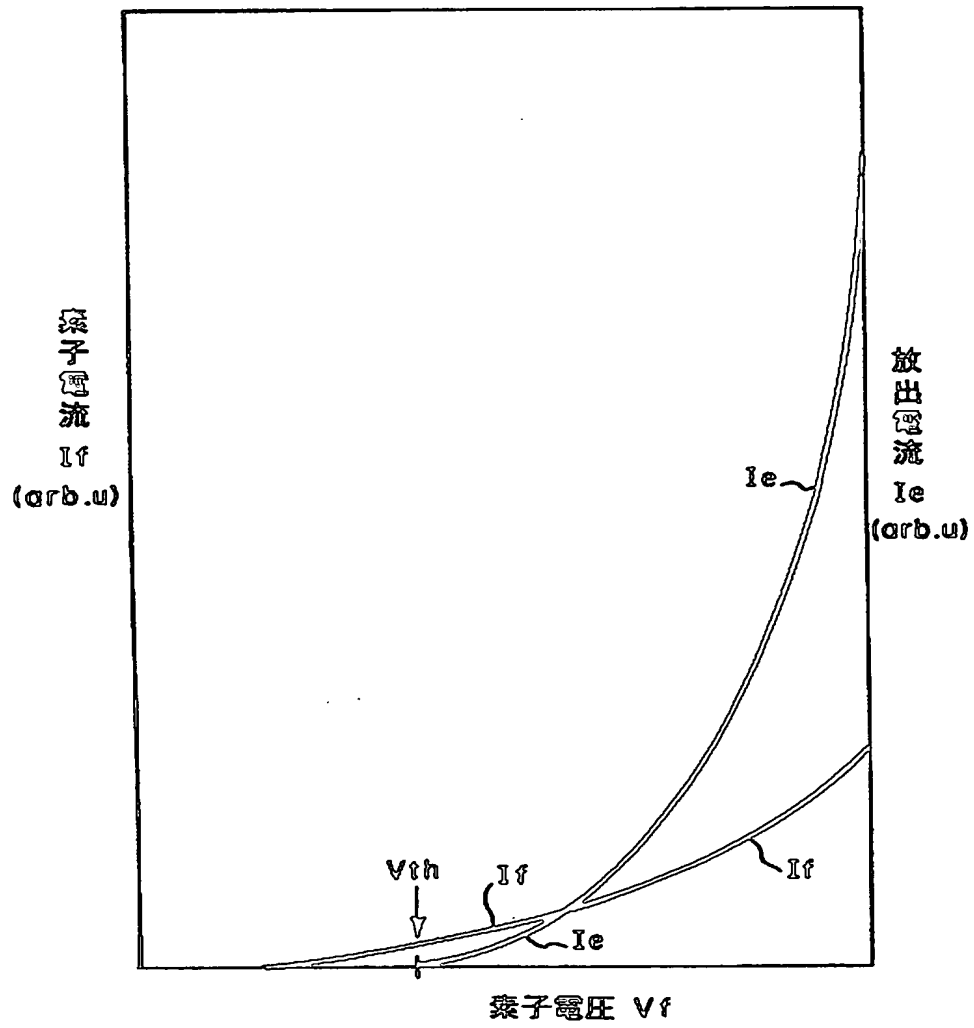
【図 1 6】



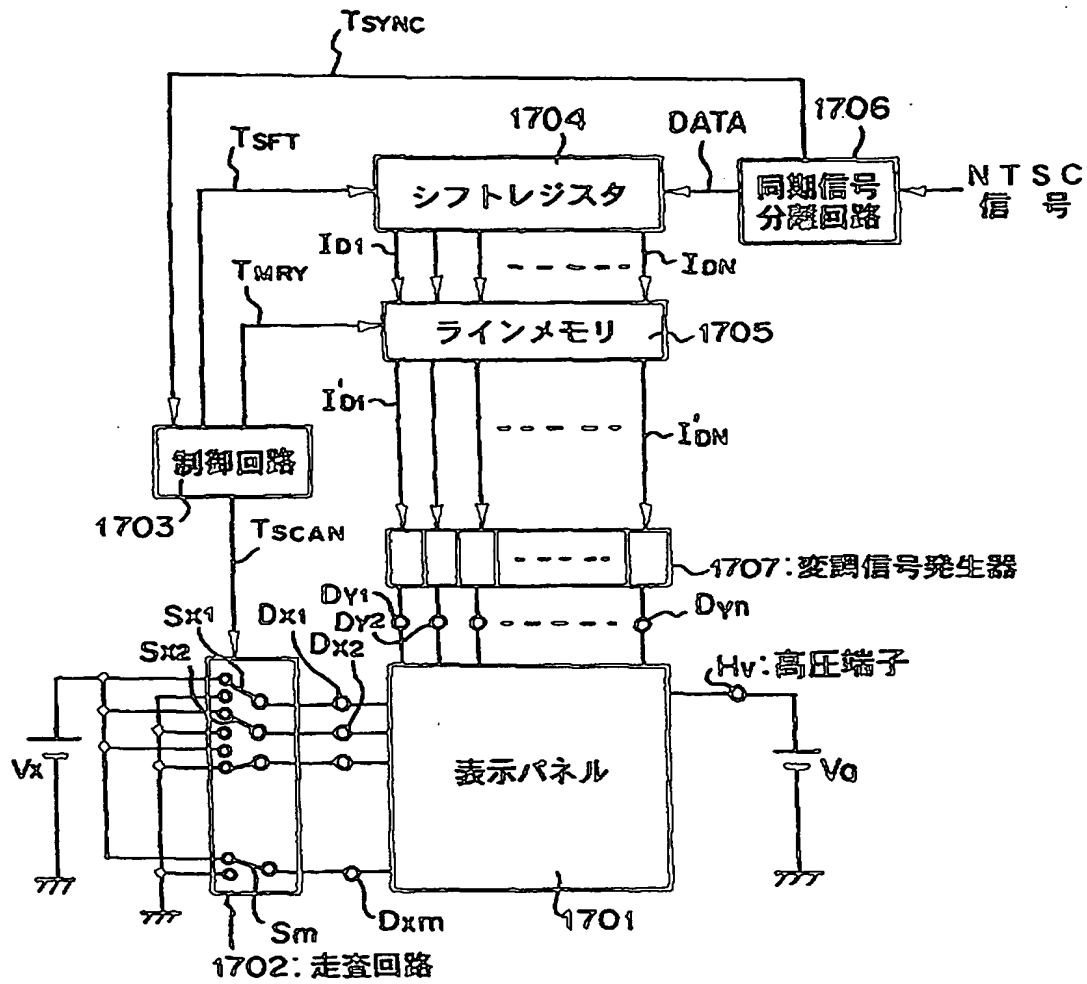
【図 17】



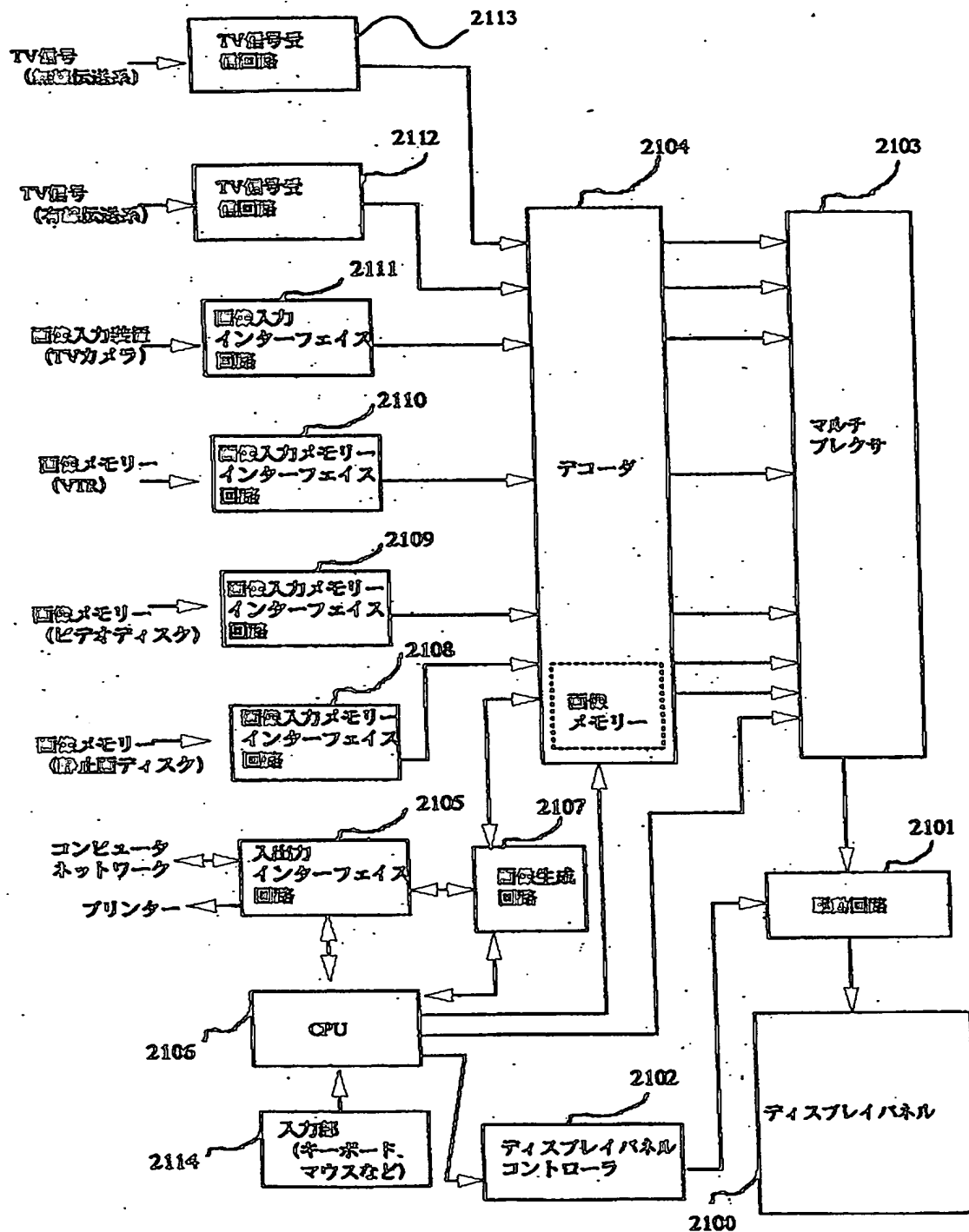
【図 18】



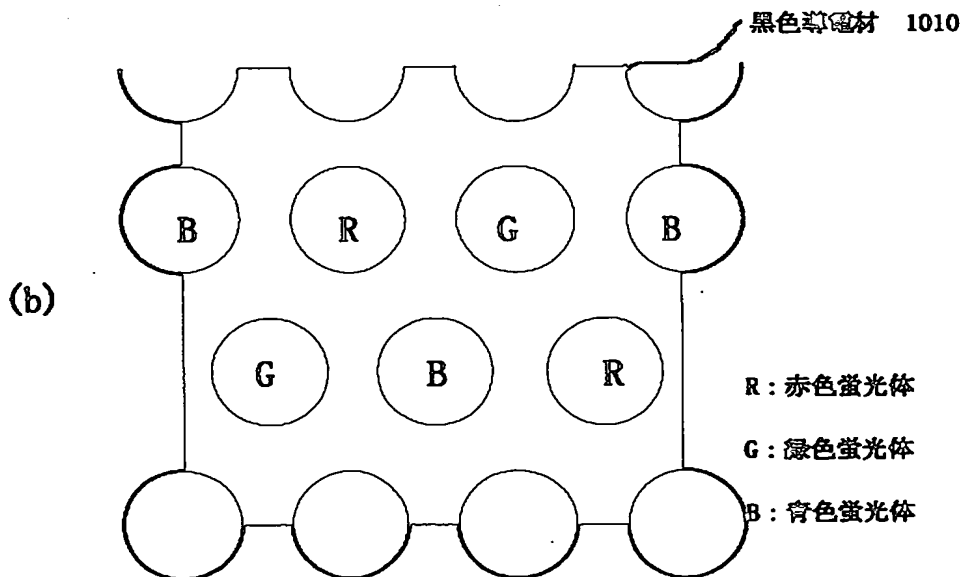
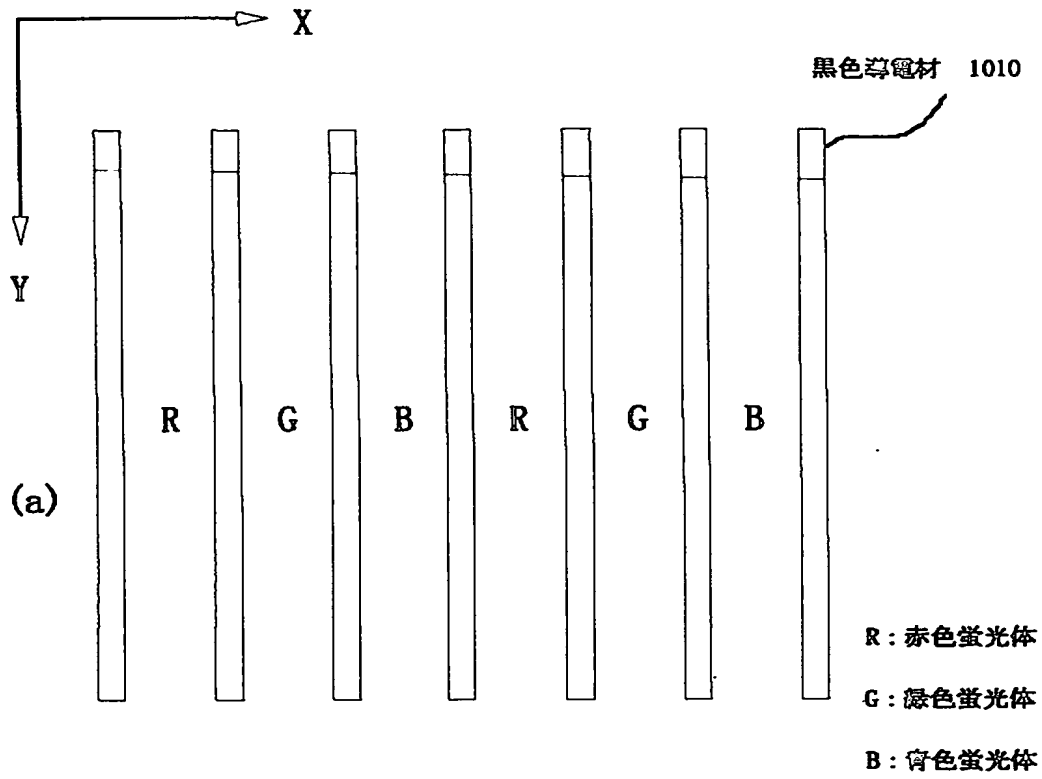
【図 19】



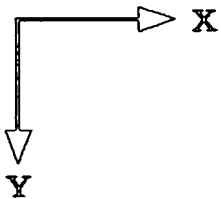
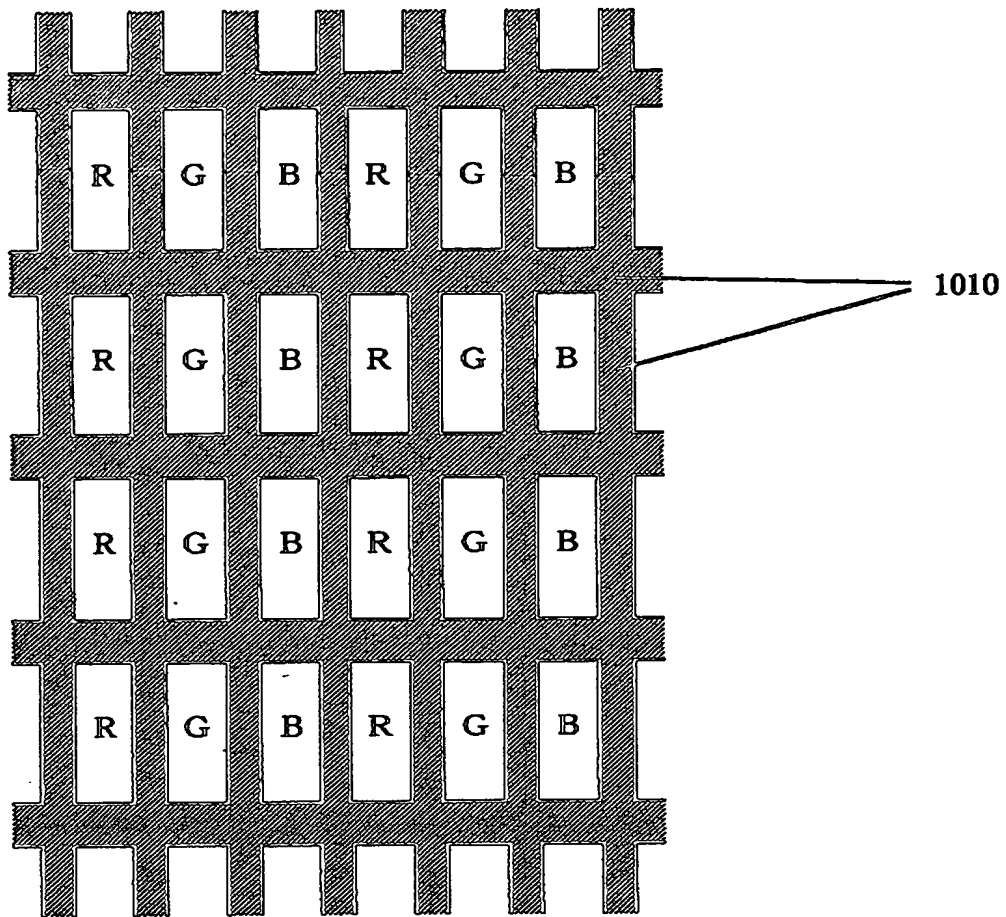
【図 20】



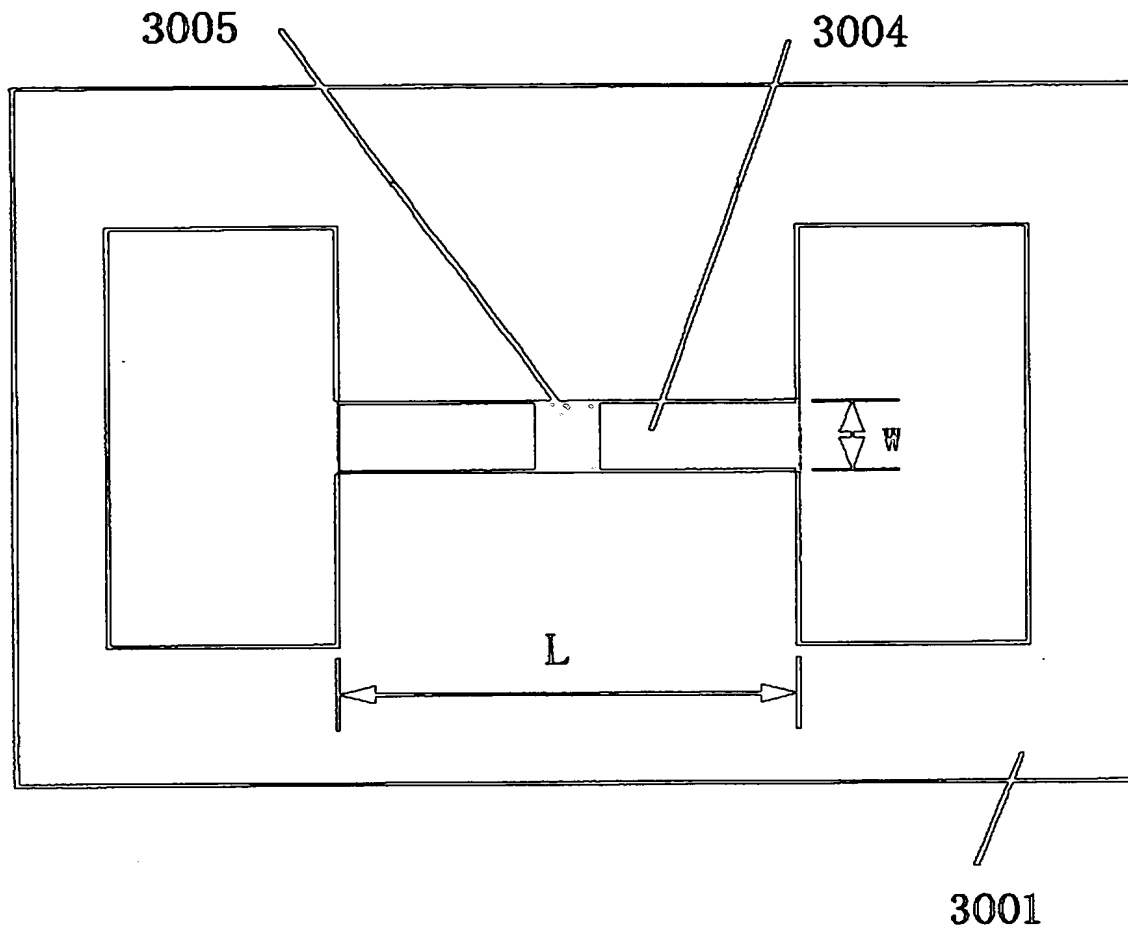
【图 2 1】



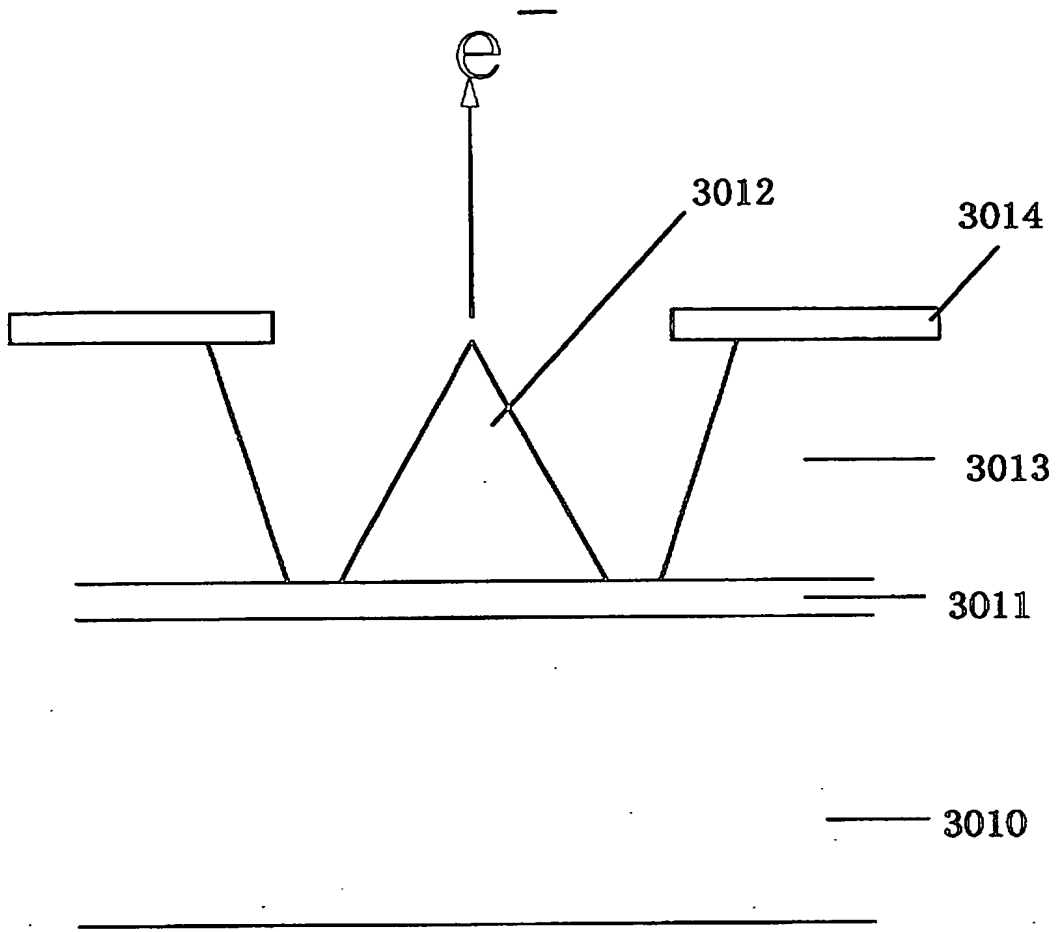
【図 2 2】



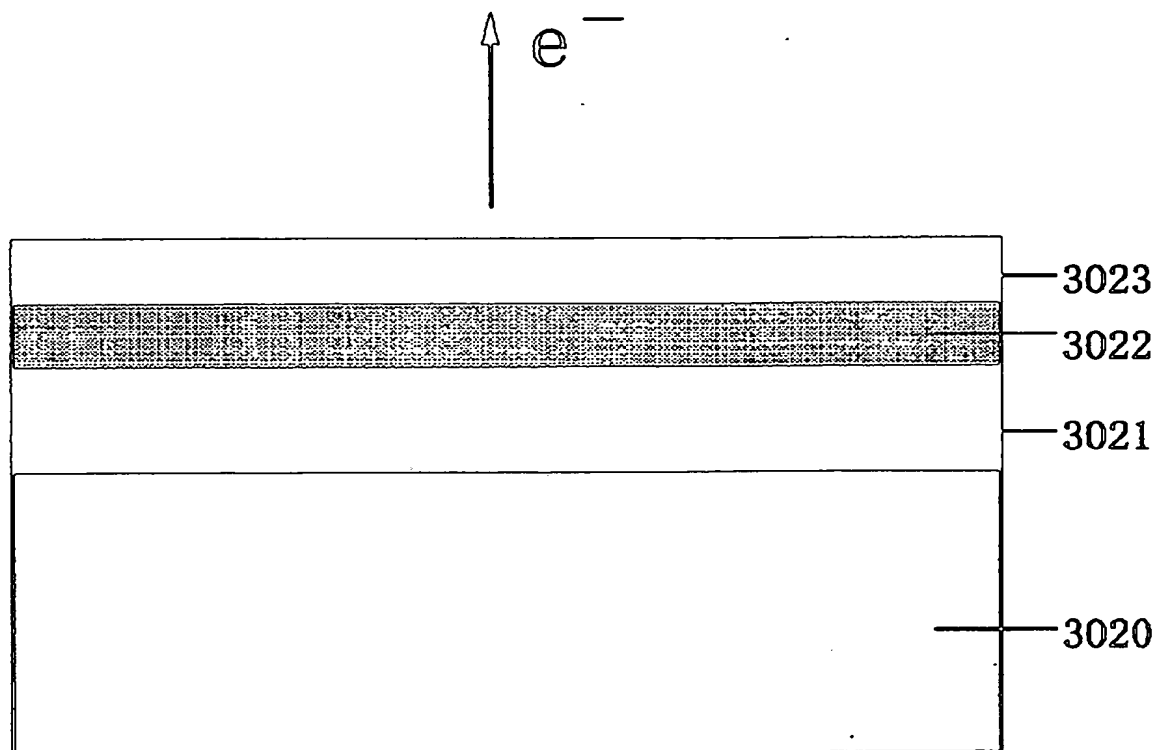
【図 23】



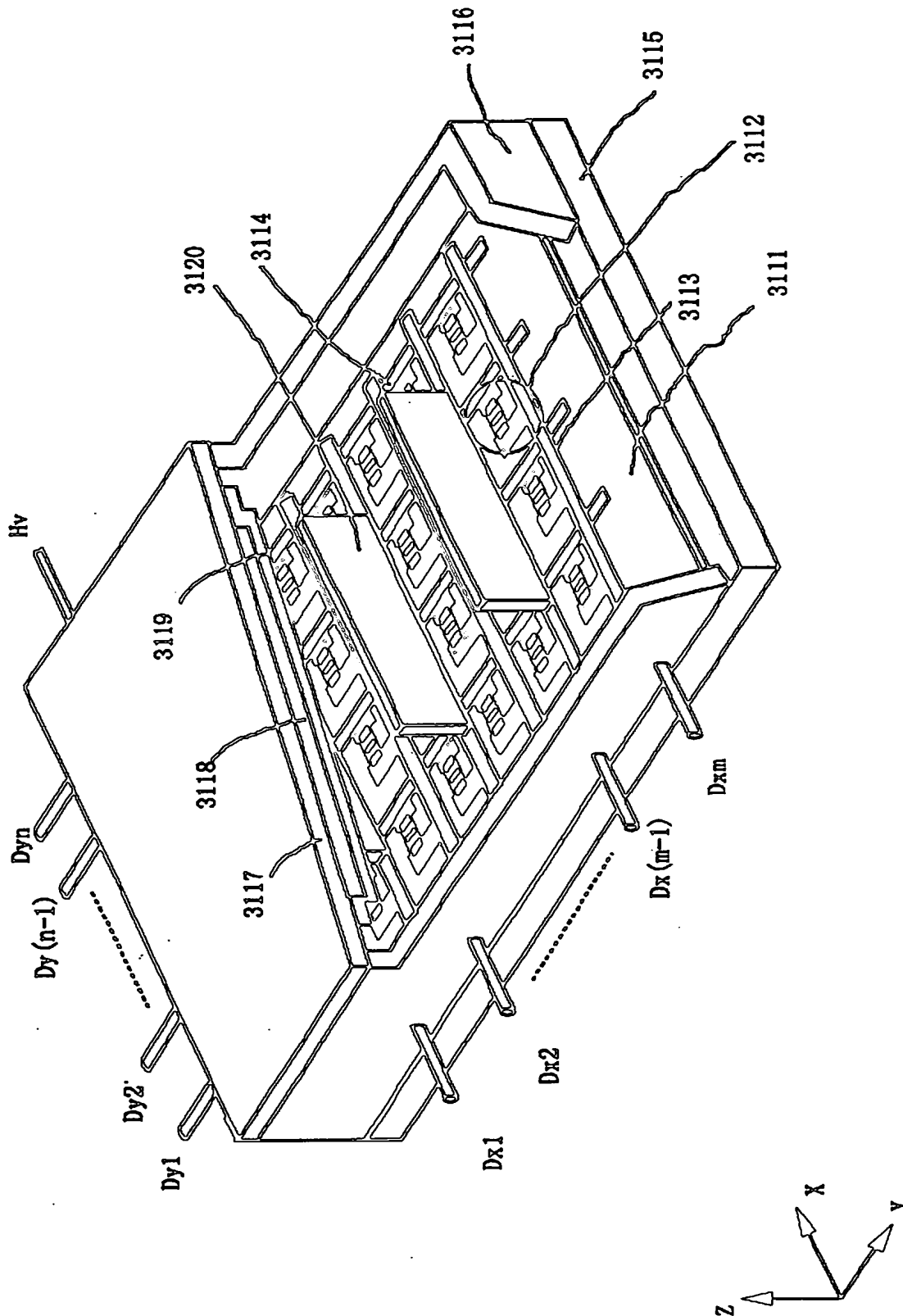
【図 2 4】



【図 2 5】



【圖 26】



【書類名】 要約書

【要約】

【課題】 画像表示時の放電を防止し、良好な表示画像を得るための画像表示装置の製造方法を提供する。

【解決手段】 電子ビーム源を含むリアプレートと、電子ビームの照射により発光する蛍光体を形成したフェースプレートと、リアプレートとフェースプレートの上に配置される構造支持体とを備えた画像形成装置の製造方法において、フェースプレートとリアプレートと構造支持体とでパネルを組み立てた後に、フェースプレートとリアプレートの上に高電圧を印加して放電を生じさせる工程と、高電圧を印加する工程後に行う電子源を形成する工程と、を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社

形成するにあたっては、あらかじめ基板 1011 を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる（堆積する方法としては、たとえば、蒸着法やスパッタ法などの真空成膜技術を用いればよい。）。その後、堆積した電極材料を、フォトリソグラフィー・エッチング技術を用いてパターンニングし、（a）に示した一对の素子電極（1102 と 1103）を形成する。

2）次に、同図（b）に示すように、導電性薄膜 1104 を形成する。

【0147】

形成するにあたっては、まず前記（a）の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィー・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である（具体的には、本実施形態では主要元素として Pd を用いた。また、実施形態では塗布方法として、ディッピング法を用いたが、それ以外のたとえばスピナー法やスプレー法を用いてもよい。）。

【0148】

また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施形態で用いた有機金属溶液の塗布による方法以外の、たとえば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

3）次に、同図（c）に示すように、フォーミング用電源 1110 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部 1105 を形成する。

【0149】

通電フォーミング処理とは、微粒子膜で作られた導電性薄膜 1104 に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分（すなわち電子放出部 1105）においては、薄膜に適当な亀裂が形成されている。なお、電子放出部 1105 が形成される前と比較すると、形成された後は素子電極 1102 と 1103 の間で計測される電気抵抗は大幅に増加する。

【0150】

通電方法をより詳しく説明するために、図14に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施形態の場合には同図に示したようにパルス幅 T_1 の三角波パルスをパルス間隔 T_2 で連続的に印加した。その際には、三角波パルスの波高値 V_{pf} を、順次昇圧した。また、電子放出部1105の形成状況をモニターするためのモニターパルス P_m を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0151】

実施形態においては、たとえば10のマイナス5乗 $[Torr]$ 程度の真空雰囲気下において、たとえばパルス幅 T_1 を1[ミリ秒]、パルス間隔 T_2 を10[ミリ秒]とし、波高値 V_{pf} を1パルスごとに0.1[V]ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニターパルス P_m を挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニターパルスの電圧 V_{pm} は0.1[V]に設定した。そして、素子電極1102と1103の間に電気抵抗が 1×10 の6乗[オーム]になった段階、すなわちモニターパルス印加時に電流計1111で計測される電流が 1×10 のマイナス7乗[A]以下になった段階で、フォーミング処理にかかわる通電を終了した。

【0152】

なお、上記の方法は、本実施形態の表面伝導型放出素子に関する好ましい方法であり、たとえば微粒子膜の材料や膜厚、あるいは素子電極間隔 L など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

4) 次に、図13(d)に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

【0153】

通電活性化処理とは、通電フォーミング処理により形成された電子放出部11

0 5 に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである（図においては、炭素もしくは炭素化合物よりなる堆積物を部材 1 1 1 3 として模式的に示した。）。なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 1 0 0 倍以上に増加させることができる。

【 0 1 5 4 】

具体的には、1 0 のマイナス 4 乗ないし 1 0 のマイナス 5 乗 [T o r r] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1 1 1 3 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、膜厚は 5 0 0 [オングストローム] 以下、より好ましくは 3 0 0 [オングストローム] 以下である。

【 0 1 5 5 】

通電方法をより詳しく説明するために、図 1 5 (a) に、活性化用電源 1 1 1 2 から印加する適宜の電圧波形の一例を示す。本実施形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 V_{ac} は 1 4 [V]、パルス幅 T_3 は 1 [ミリ秒]、パルス間隔 T_4 は 1 0 [ミリ秒] とした。なお、上述の通電条件は、本実施形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【 0 1 5 6 】

図 1 3 (d) に示す 1 1 1 4 は該表面伝導型放出素子から放出される放出電流 I_e を捕捉するためのアノード電極で、直流高電圧電源 1 1 1 5 及び電流計 1 1 1 6 が接続されている（なお、基板 1 0 1 1 を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極 1 1 1 4 として用いる。）。活性化用電源 1 1 1 2 から電圧を印加する間、電流計 1 1 1 6 で放出電流 I_e を計測して通電活性化処理の進行状況をモニターし、活性化用電源 1 1 1 2 の動作を制御する。電流計 1 1 1 6 で計測された放出電流 I_e の一例を図 1 5 (b) に示すが、活性化電源 1 1 1 2 からパルス電圧を印加しはじめると

、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源 1 1 1 2 からの電圧印加を停止し、通電活性化処理を終了する。

【0 1 5 7】

なお、上述の通電条件は、本実施形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0 1 5 8】

以上のようにして、図 1 3 (e) に示す平面型の表面伝導型放出素子を製造した。

【0 1 5 9】

(垂直型の表面伝導型放出素子)

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

【0 1 6 0】

図 1 6 は、垂直型の基本構成を説明するための模式的な断面図であり、図中の 1 0 1 1 は基板、1 2 0 2 と 1 2 0 3 は素子電極、1 2 0 6 は段差形成部材、1 2 0 4 は微粒子膜を用いた導電性薄膜、1 1 0 5 は通電フォーミング処理により形成した電子放出部、1 2 1 3 は通電活性化処理により形成した薄膜である。

【0 1 6 1】

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方 (1 2 0 2) が段差形成部材 1 2 0 6 上に設けられており、導電性薄膜 1 2 0 4 が段差形成部材 1 2 0 6 の側面を被覆している点にある。したがって、図 1 2 の平面型における素子電極間隔 L は、垂直型においては段差形成部材 1 2 0 6 の段差高 L_s として設定される。なお、基板 1 0 1 1、素子電極 1 2 0 2 及び 1 2 0 3、微粒子膜を用いた導電性薄膜 1 2 0 4 については、平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材 1 2 0 6 には、たとえば SiO_2 のような電氣的に絶縁性の材料を用いる。

【 0 1 6 2 】

次に、垂直型の表面伝導型放出素子の製法について説明する。図 1 7 の (a) ~ (f) は、製造工程を説明するための断面図で、各部材の表記は図 1 6 と同一である。

1) まず、図 1 7 (a) に示すように、基板 1 0 1 1 上に素子電極 1 2 0 3 を形成する。

2) 次に、同図 (b) に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、たとえば SiO_2 をスパッタ法で積層すればよいが、たとえば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

3) 次に、同図 (c) に示すように、絶縁層の上に素子電極 1 2 0 2 を形成する。

4) 次に、同図 (d) に示すように、絶縁層の一部を、たとえばエッチング法を用いて除去し、素子電極 1 2 0 3 を露出させる。

5) 次に、同図 (e) に示すように、微粒子膜を用いた導電性薄膜 1 2 0 4 を形成する。形成するには、平面型の場合と同じく、たとえば塗布法などの成膜技術を用いればよい。

6) 次に、平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する (図 1 3 (c) を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。) 。

7) 次に、平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる (図 1 3 (d) を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい。) 。

【 0 1 6 3 】

以上のようにして、図 1 7 (f) に示す垂直型の表面伝導型放出素子を製造した。

【 0 1 6 4 】

(表示装置に用いた表面伝導型放出素子の特性)

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置を用いた素子の特性について述べる。

【0165】

図18に、表示装置に用いた素子の、（放出電流 I_e ）対（素子印加電圧 V_f ）特性、及び（素子電流 I_f ）対（素子印加電圧 V_f ）特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0166】

表示装置に用いた素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。

【0167】

第一に、ある電圧（これを閾値電圧 V_{th} と呼ぶ）以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。

【0168】

第二に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

【0169】

第三に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0170】

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。たとえば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【 0 1 7 1 】

また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、階調表示を行うことが可能である。

【 0 1 7 2 】

(多数素子を単純マトリクス配線したマルチ電子ビーム源の構造)

次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

【 0 1 7 3 】

図 9 に示すのは、図 8 の表示パネルに用いたマルチ電子ビーム源の平面図である。基板上には、図 1 2 で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極 1 0 0 3 と列方向配線 1 0 0 4 により単純マトリクス状に配線されている。行方向配線電極 1 0 0 3 と列方向配線電極 1 0 0 4 の交差する部分には、電極間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。

【 0 1 7 4 】

図 9 の B - B ' に沿った断面を、図 1 0 に示す。

【 0 1 7 5 】

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極 1 0 1 3、列方向配線電極 1 0 1 4、電極間絶縁層（不図示）、及び表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極 1 0 1 3 及び列方向配線電極 1 0 1 4 を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【 0 1 7 6 】

(3) 駆動回路構成（及び駆動方法）

図 1 9 は、NTSC 方式のテレビ信号に基づいてテレビジョン表示を行うための駆動回路の概略構成をブロック図で示したものである。同図中、表示パネル 1 7 0 1 は前述した表示パネルに相当するもので、前述した様に製造され、動作する。また、走査回路 1 7 0 2 は表示ラインを走査し、制御回路 1 7 0 3 は走査回路へ入力する信号等を生成する。シフトレジスタ 1 7 0 4 は 1 ライン毎のデータ

をシフトし、ラインメモリ 1705 は、シフトレジスタ 1704 からの 1 ライン分のデータを変調信号発生器 1707 に入力する。同期信号分離回路 1706 は NTSC 信号から同期信号を分離する。

【0177】

以下、図 19 の装置各部の機能を詳しく説明する。

【0178】

まず表示パネル 1701 は、端子 $Dx1$ ないし Dxm 及び端子 $Dy1$ ないし Dyn 、及び高圧端子 Hv を介して外部の電気回路と接続されている。このうち、端子 $Dx1$ ないし Dxm には、表示パネル 1701 内に設けられているマルチ電子ビーム源、すなわち m 行 n 列の行列状にマトリクス配線された冷陰極素子を 1 行 (n 素子) ずつ順次駆動してゆくための走査信号が印加される。一方、端子 $Dy1$ ないし Dyn には、走査信号により選択された 1 行分の n 個の各素子の出力電子ビームを制御するための変調信号が印加される。また、高圧端子 Hv には、直流電圧源 Va より、たとえば 5 [kV] の直流電圧が供給されるが、これはマルチ電子ビーム源より出力される電子ビームに蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0179】

次に、走査回路 1702 について説明する。同回路は、内部に m 個のスイッチング素子 (図中、 $S1$ ないし Sm で模式的に示されている) を備えるもので、各スイッチング素子は、直流電圧源 Vx の出力電圧もしくは 0 [V] (グラウンドレベル) のいずれか一方を選択し、表示パネル 1701 の端子 $Dx1$ ないし Dxm と電氣的に接続するものである。 $S1$ ないし Sm の各スイッチング素子は、制御回路 1703 が出力する制御信号 $Tscan$ に基づいて動作するものだが、実際にはたとえば FET のようなスイッチング素子を組合わせることにより容易に構成することが可能である。なお、直流電圧源 Vx は、図 18 に例示した電子放出素子の特性に基づき走査されていない素子に印加される駆動電圧が電子放出閾値電圧 Vth 電圧以下となるよう、一定電圧を出力するよう設定されている。

【0180】

また、制御回路 1703 は、外部より入力する画像信号に基づいて適切な表示

が行われるように各部の動作を整合させる働きをもつものである。次に説明する同期信号分離回路 1706 より送られる同期信号 T_{sync} に基づいて、各部に対して T_{scan} 及び T_{sft} 及び T_{mry} の各制御信号を発生する。同期信号分離回路 1706 は、外部から入力される NTSC 方式のテレビ信号から、同期信号成分と輝度信号成分とを分離するための回路である。同期信号分離回路 1706 により分離された同期信号は、良く知られるように垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上、 T_{sync} 信号として図示した。一方、テレビ信号から分離された画像の輝度信号成分を便宜上 DATA 信号と表すが、同信号はシフトレジスタ 1704 に入力される。

【0181】

シフトレジスタ 1704 は、時系列的にシリアルに入力される DATA 信号を、画像の 1 ライン毎にシリアル／パラレル変換するためのもので、制御回路 1703 より送られる制御信号 T_{sft} に基づいて動作する。すなわち、制御信号 T_{sft} は、シフトレジスタ 1704 のシフトクロックであると言い換えることもできる。シリアル／パラレル変換された画像 1 ライン分（電子放出素子 n 素子分の駆動データに相当する）のデータは、 I_{d1} ないし I_{dn} の n 個の信号としてシフトレジスタ 1704 より出力される。

【0182】

ラインメモリ 1705 は、画像 1 ライン分のデータを必要時間の間だけ記憶するための記憶装置であり、制御回路 1703 より送られる制御信号 T_{mry} にしたがって適宜 I_{d1} ないし I_{dn} の内容を記憶する。記憶された内容は、 I'_{d1} ないし I'_{dn} として出力され、変調信号発生器 1707 に入力される。

【0183】

変調信号発生器 1707 は、画像データ I'_{d1} ないし I'_{dn} の各々に応じて、電子放出素子 1015 の各々を適切に駆動変調するための信号源で、その出力信号は、端子 D_{y1} ないし D_{yn} を通じて表示パネル 1701 内の電子放出素子 1015 に印加される。

【0184】

図 18 を用いて説明したように、本発明に関わる表面伝導型放出素子は放出電

流 I_e に対して以下の基本特性を有している。すなわち、電子放出には明確な閾値電圧 V_{th} （後述する実施形態の表面伝導型放出素子では 8 [V]）があり、閾値 V_{th} 以上の電圧を印加された時のみ電子放出が生じる。また、電子放出閾値 V_{th} 以上の電圧に対しては、図 18 のグラフのように電圧の変化に応じて放出電流 I_e も変化する。このことから、本素子にパルス状の電圧を印加する場合、たとえば電子放出閾値 V_{th} 以下の電圧を印加しても電子放出は生じないが、電子放出閾値 V_{th} 以上の電圧を印加する場合には表面伝導型放出素子から電子ビームが出力される。その際、パルスの波高値 V_m を変化させることにより出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させることにより出力される電子ビームの電荷の総量を制御することが可能である。

【0185】

従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 1707 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式を用いることができる。また、パルス幅変調方式を実施するに際しては、変調信号発生器 1707 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0186】

シフトレジスタ 1704 やラインメモリ 1705 は、デジタル信号式のものでもアナログ信号式のものでも採用できる。すなわち、画像信号のシリアル／パラレル変換や記憶が所定の速度で行われればよいからである。

【0187】

デジタル信号式を用いる場合には、同期信号分離回路 1706 の出力信号 DATA をデジタル信号化する必要があるが、これには同期信号分離回路 1706 の出力部に A/D 変換器を設ければよい。これに関連してラインメモリ 115 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器に用いられる回

路が若干異なったものとなる。すなわち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 1 7 0 7 には、例えば D/A 変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 1 7 0 7 には、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値とメモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【 0 1 8 8 】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器 1 7 0 7 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてシフトレベル回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VCO）を採用でき、必要に応じて電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【 0 1 8 9 】

このような構成をとりうる本発明の適用可能な画像表示装置においては、各電子放出素子に、容器外端子 $D \times 1$ 乃至 $D \times m$ 、 $D y 1$ 乃至 $D y n$ を介して電圧を印加することにより、電子放出が生じる。高圧端子 $H v$ を介してメタルバック 1 0 1 9 あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜 1 0 1 8 に衝突し、発光が生じて画像が形成される。

【 0 1 9 0 】

ここで述べた画像表示装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の思想に基づいて種々の変形が可能である。入力信号については NTSC 方式を挙げたが、入力信号はこれに限るものではなく、PAL、SECAM 方式など他、これらより多数の走査線からなる TV 信号（例えば、高品位 TV）方式をも採用できる。

【 0 1 9 1 】

（４）派生形態

図 2 0 は、前述の説明の表面伝導型放出素子を電子ビーム源として用いたディ

スプレイパネルに、たとえばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図である。

【0192】

図中2100はディスプレイパネル、2101はディスプレイパネルの駆動回路、2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、2106はCPU、2107は画像生成回路、2108及び2109及び2110は画像メモリーインターフェース回路、2111は画像入力インターフェース回路、2112及び2113はTV信号受信回路、2114は入力部である。

【0193】

(なお、本表示装置は、たとえばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。)

以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0194】

まず、TV信号受信回路2113は、たとえば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、たとえば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号(例えば、高品位TV)は、大面積化や大画素数化に適したディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。

【0195】

また、TV信号受信回路2112は、たとえば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。TV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力

される。

【0196】

また、画像入力インターフェース回路 2111 は、たとえば TV カメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2104 に出力される。

【0197】

また、画像メモリーインターフェース回路 2110 は、ビデオテープレコーダー（以下 VTR と略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2104 に出力される。

【0198】

また、画像メモリーインターフェース回路 2109 は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2104 に出力される。

【0199】

また、画像メモリーインターフェース回路 2108 は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ 2104 に出力される。

【0200】

また、入出力インターフェース回路 2105 は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備える CPU 2106 と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0201】

また、画像生成回路 2107 は、入出力インターフェース回路 2105 を介して外部から入力される画像データや文字・図形情報や、あるいは CPU 2106 より出力される画像データや文字・図形情報にもとづき表示用画像データを生成するための回路である。本回路の内部には、たとえば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターン

が記憶されている読み出し専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【 0 2 0 2 】

本回路により生成された表示用画像データは、デコーダ 2 1 0 4 に出力されるが、場合によっては入出力インターフェース回路 2 1 0 5 を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【 0 2 0 3 】

また、CPU 2 1 0 6 は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【 0 2 0 4 】

たとえば、マルチプレクサ 2 1 0 3 に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ 2 1 0 2 に対して制御信号を発生し、画像表示周波数や走査方法（たとえばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。

【 0 2 0 5 】

また、画像生成回路 2 1 0 7 に対して画像データや文字・図形情報を直接出力したり、あるいは入出力インターフェース回路 2 1 0 5 を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【 0 2 0 6 】

なお、CPU 2 1 0 6 は、むろんこれ以外の目的の作業にも関わるものであってよい。たとえば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わってもよい。

【 0 2 0 7 】

あるいは、前述したように入出力インターフェース回路 2 1 0 5 を介して外部のコンピュータネットワークと接続し、たとえば数値計算などの作業を外部機器と協同して行ってもよい。

【 0 2 0 8 】

また、入力部 2 1 1 4 は、CPU 2 1 0 6 に使用者が命令やプログラム、ある

いはデータなどを入力するためのものであり、たとえばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いることが可能である。

【0209】

また、デコーダ2104は、2107ないし2113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ2104は内部に画像メモリを備えるのが望ましい。これは、たとえばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは画像生成回路2107及びCPU2106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0210】

また、マルチプレクサ2103は、CPU2106より入力される制御信号にもとづき表示画像を適宜選択するものである。すなわち、マルチプレクサ2103はデコーダ2104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路2101に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0211】

また、ディスプレイパネルコントローラ2102は、CPU2106より入力される制御信号にもとづき駆動回路2101の動作を制御するための回路である。

【0212】

まず、ディスプレイパネルの基本的な動作に関わるものとして、たとえばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路2101に対して出力する。

【0213】

また、ディスプレイパネルの駆動方法に関わるものとして、たとえば画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）を制御するための信号を駆動回路2101に対して出力する。

【0214】

また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路2101に対して出力する場合もある。

【0215】

また、駆動回路2101は、ディスプレイパネル2100に印加する駆動信号を発生するための回路であり、マルチプレクサ2103から入力される画像信号と、ディスプレイパネルコントローラ2102より入力される制御信号にもとづいて動作するものである。

【0216】

以上、各部の機能を説明したが、図20に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル2100に表示することが可能である。

【0217】

すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ2104において逆変換された後、マルチプレクサ2103において適宜選択され、駆動回路2101に入力される。一方、ディスプレイパネルコントローラ2102は、表示する画像信号に応じて駆動回路2101の動作を制御するための制御信号を発生する。駆動回路2101は、画像信号と制御信号にもとづいてディスプレイパネル2100に駆動信号を印加する。

【0218】

これにより、ディスプレイパネル2100において画像が表示される。これらの一連の動作は、CPU2106により統括的に制御される。

【0219】

また、本表示装置においては、デコーダ2104に内蔵する画像メモリや、画

像生成回路 2 1 0 7 及び CPU 2 1 0 6 が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、たとえば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行うことも可能である。また、本実施形態の説明では特に触れなかったが、画像処理や画像編集と同様に、音声情報に対しても処理や編集を行うための専用回路を設けてもよい。

【 0 2 2 0 】

したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【 0 2 2 1 】

なお、図 2 0 は、表面伝導型放出素子を電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものでないことは言うまでもない。たとえば、図 2 0 の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加してもよい。たとえば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【 0 2 2 2 】

本表示装置においては、とりわけ表面伝導型放出素子を電子ビーム源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子ビーム源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感にあふれ迫力に富んだ画像を視認性良く表示することが可能である。

【 0 2 2 3 】

〔実施形態 2〕

以下本発明の画像表示装置について、実施形態 1 と違う点のみ説明する。

【0 2 2 4】

実施形態 1 と違う点は、印加波形に交流を用いる点である。

【0 2 2 5】

本実施形態では、60 Hz のサイン波高電圧を、片側ピーク値が図 4 と同様になるように徐々に昇圧させて印加した。

【0 2 2 6】

交流にすることで、フェースプレートとリアプレートに正負両極性の電位を与えることができ、また 1 サイクル毎に昇圧工程を経ることで、より効果的にコンディショニング効果を得ることが可能となる。

【0 2 2 7】

本実施形態では印加波形に交流を用いたが、正負両極の直流を交互に、あるいは 2 度に分けて印加してもよい。

【0 2 2 8】

また、印加波形にパルス電圧、より好ましくはインパルス電圧を用いてもよい。この場合、表面伝導型放出素子への放電の際のダメージをより小さくできる効果がある。

【0 2 2 9】

フェースプレートとリアプレートの間に高電圧を印加する工程の順序は、実施形態 1 と同じく通電フォーミング工程の前である。

【0 2 3 0】

このようにして製造された画像表示装置により、放電がない良好な表示画像を得ることができた。

【0 2 3 1】

[実施形態 3]

以下本発明の画像表示装置について、実施形態 1 と違う点のみ説明する。

【0 2 3 2】

実施形態 1 と違う点は、フェースプレートとリアプレートの間に高電圧を印加する工程の順序である。実施形態 1 では、通電フォーミング工程の前に高電圧を

印加する工程を行ったのに対し、本実施形態では、通電活性化前（通電フォーミング後）に行うことを特徴とする。また高電圧を印加するのに先立ち、300℃、2時間程度のベーキングを行う。

【0233】

図5に本実施形態の工程の流れを示す。

【0234】

通電フォーミング前は電子放出部がまだ形成されていないため、ベーキング温度は120℃程度しか上げられないのに対し、通電フォーミング後（通電活性化前）は前述のように300℃程度まで上げることができる（ステップS501）。これにより、コンディショニングをより効果的に、短時間でできるようにする効果がある。

【0235】

印加電圧は、実施形態1と同様直流を用いたが、実施形態2のように交流、パルス等でもよい。

【0236】

このようにして製造された画像表示装置により、放電がない良好な表示画像を得ることができた。

【0237】

〔実施形態4〕

以下本発明の画像表示装置について、実施形態1と違う点のみ説明する。

【0238】

実施形態1と違う点は、高電圧を印加する際の雰囲気である。実施形態1では真空雰囲気中で行ったが、本実施形態では、窒素雰囲気中で行う。

【0239】

図6に本実施形態の工程の流れを示す。

【0240】

具体的にはパネル内を排気、ベーキング（120℃約2時間）後、乾燥窒素ガスを約3 Torrの圧力になるように導入する（ステップS601）。その後、高電圧を印加する工程に移る（ステップS104）。その後に排気をし（ステッ

プS602)、電子源プロセスに移行する。図7は、時間に対する印加電圧と放電回数を示す模式図である。

【0241】

印加電圧は、図7のように100Vから250Vまで50V/20分の割合で昇圧し、250Vで、15分間保持した。本実施形態では一定レートで昇圧したが、階段状に昇圧してもよい。

【0242】

放電は150Vを少し超えたところから観察されはじめ、250V付近まで増加するが、250Vに保持すると減少に転じ、まもなく0になる。

【0243】

このように真空雰囲気中で高圧印加した場合と比べ、窒素導入雰囲気中では、非常に低い電圧から放電がはじまることが分かる。また本実施形態の窒素雰囲気中250Vまでの高圧印加によって、真空雰囲気中10kVの場合とほぼ同様のコンディショニング効果が得られることを、実験的に確かめている。

【0244】

このように本実施形態によれば、より素子ダメージを少なく、装置も小型化を図ることができる。

【0245】

導入ガスとしては、窒素の他、ヘリウム、ネオン、アルゴン、水素、酸素、二酸化炭素、空気などから適宜選択されうる。

【0246】

また上記圧力は、本発明の画像表示装置に好適な値であり、設計が変われば適宜変更するのが望ましい。好ましくは、数百mmTorrから数十Torrの圧力である。

【0247】

印加電圧は、実施形態1と同様直流を用いたが、実施形態2のように交流、パルス等でもよい。

【0248】

高電圧を印加する工程の順序は、実施形態1と同じく通電フォーミング工程の

前であるが、実施形態 3 の様に通電活性化工程の前でもよい。

【0 2 4 9】

このようにして製造された画像表示装置は、放電がない良好な表示画像を得ることができた。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 による画像形成装置の製造方法の工程の流れを示す図である。

【図 2】

本発明の実施形態によるコンディショニング効果を説明する図である。

【図 3】

本発明の実施形態による画像形成装置の製造方法を実施するための装置の概略図である。

【図 4】

本発明の実施形態 1 による画像形成装置の製造方法における印加電圧と放電回数を示す図である。

【図 5】

本発明の実施形態 3 による画像形成装置の製造方法の工程の流れを示す図である。

【図 6】

本発明の実施形態 4 による画像形成装置の製造方法の工程の流れを示す図である。

【図 7】

本発明の実施形態 4 による画像形成装置の製造方法における印加電圧と放電回数を示す図である。

【図 8】

本発明の実施形態による画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図 9】

本発明の実施形態によるマルチ電子ビーム源の基板の平面図である。

【図 1 0】

図 9 に示すマルチ電子ビーム源の B - B' 断面図である。

【図 1 1】

図 8 に示す表示パネルの A - A' 断面図である。

【図 1 2】

本発明の実施形態で用いた平面型の表面伝導型放出素子の平面図 (a) 及び断面図 (b) である。

【図 1 3】

図 1 2 に示す平面型の表面伝導型放出素子の製造工程を示す断面図である。

【図 1 4】

本発明の実施形態による画像形成装置の製造方法中の通電フォーミング処理の際の印加電圧波形を示す図である。

【図 1 5】

本発明の実施形態による画像形成装置の製造方法中の通電活性化処理の際の印加電圧波形を示す図 (a) 及び放出電流 I_e の変化を示す図 (b) である。

【図 1 6】

本発明の実施形態による画像形成装置の垂直型の表面伝導型放出素子の断面図である。

【図 1 7】

図 1 6 の示す垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図 1 8】

本発明の実施形態による画像形成装置の表面伝導型放出素子の典型的な特性を示すグラフである。

【図 1 9】

本発明の実施形態による画像表示装置の駆動回路の概略構成を示すブロック図である。

【図 2 0】

本発明の実施形態による画像表示装置を用いた多機能画像表示装置のブロック

図である。

【図 2 1】

本発明の実施形態による画像形成装置の表示パネルのフェースプレートの蛍光体配列を例示した平面図である。

【図 2 2】

本発明の実施形態による画像形成装置の表示パネルのフェースプレートの蛍光体配列を例示した他の平面図である。

【図 2 3】

従来例による表面伝導型放出素子の一例を示す図である。

【図 2 4】

従来例による F E 型素子の一例を示す図である。

【図 2 5】

従来例による M I M 型素子の一例を示す図である。

【図 2 6】

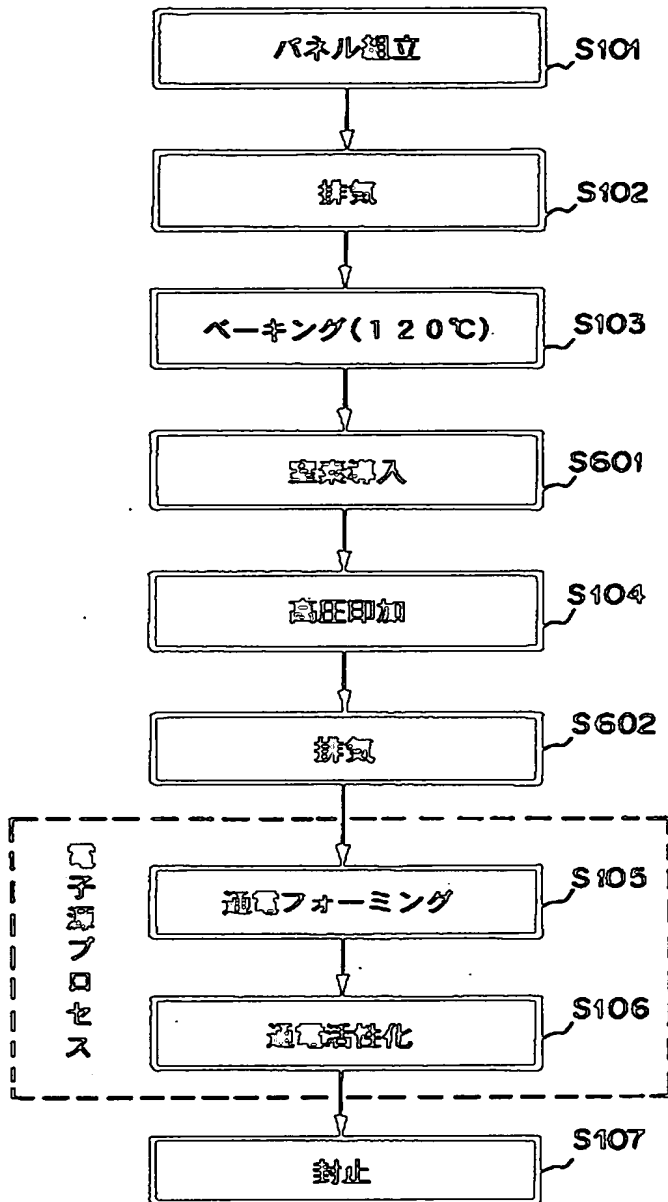
本発明の実施形態及び従来例による画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【符号の説明】

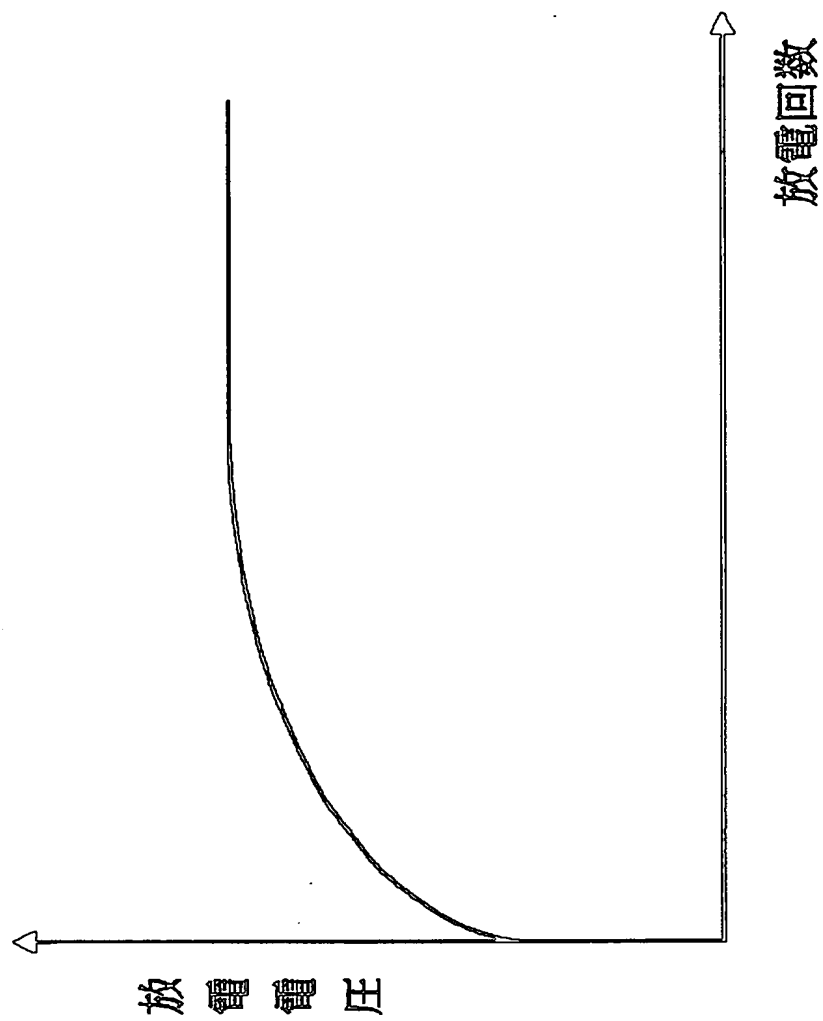
- 1 0 1 1 基板
- 1 0 1 3 行方向配線
- 1 0 1 4 列方向配線
- 1 0 1 5 リアプレート
- 1 0 1 6 側壁
- 1 0 1 7 フェースプレート
- 1 0 1 8 蛍光膜
- 1 0 1 9 メタルバック
- 1 0 2 0 スペーサ（構造支持体）

【書類名】 図面

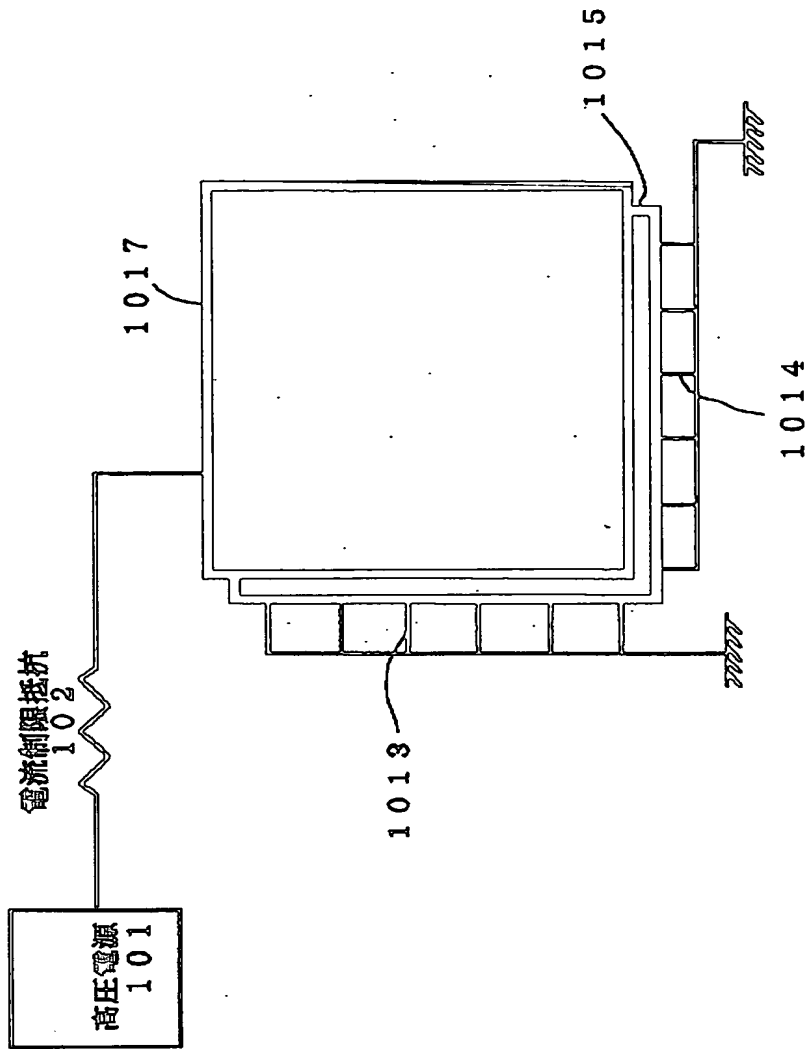
【図 1】



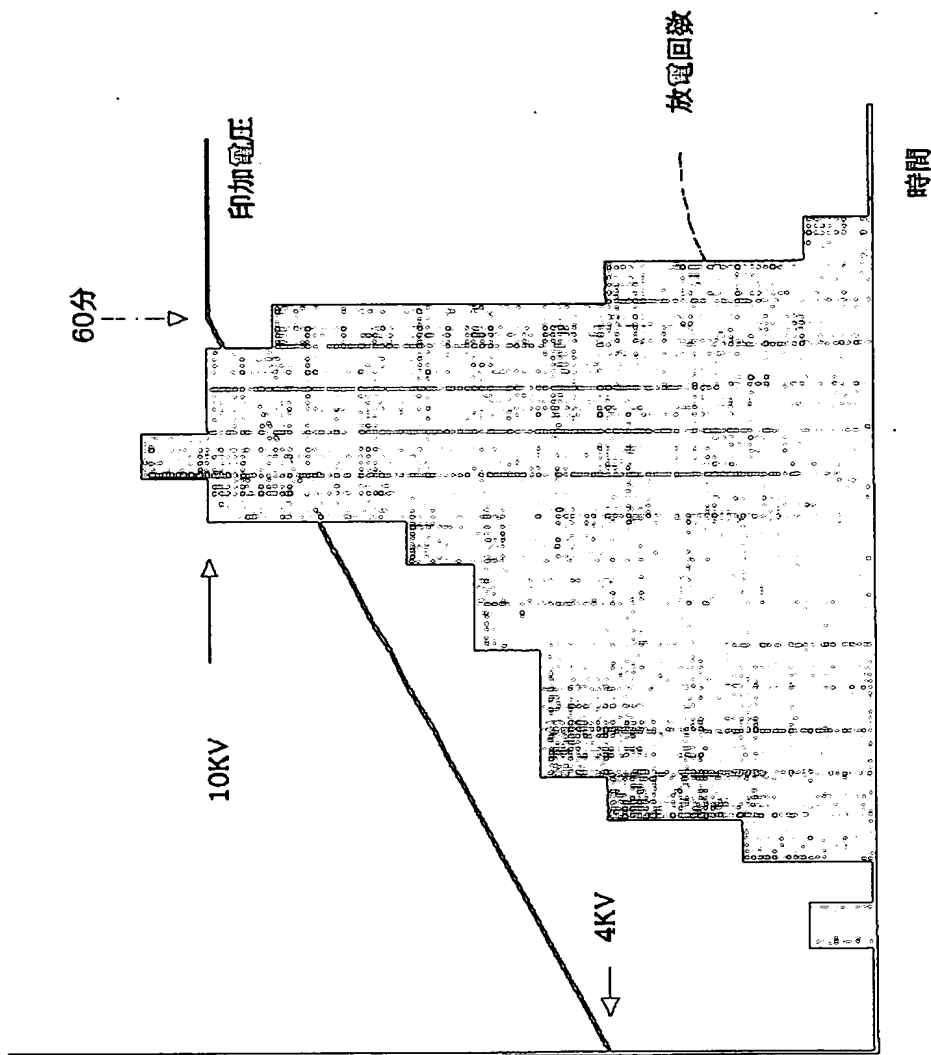
【図 2】



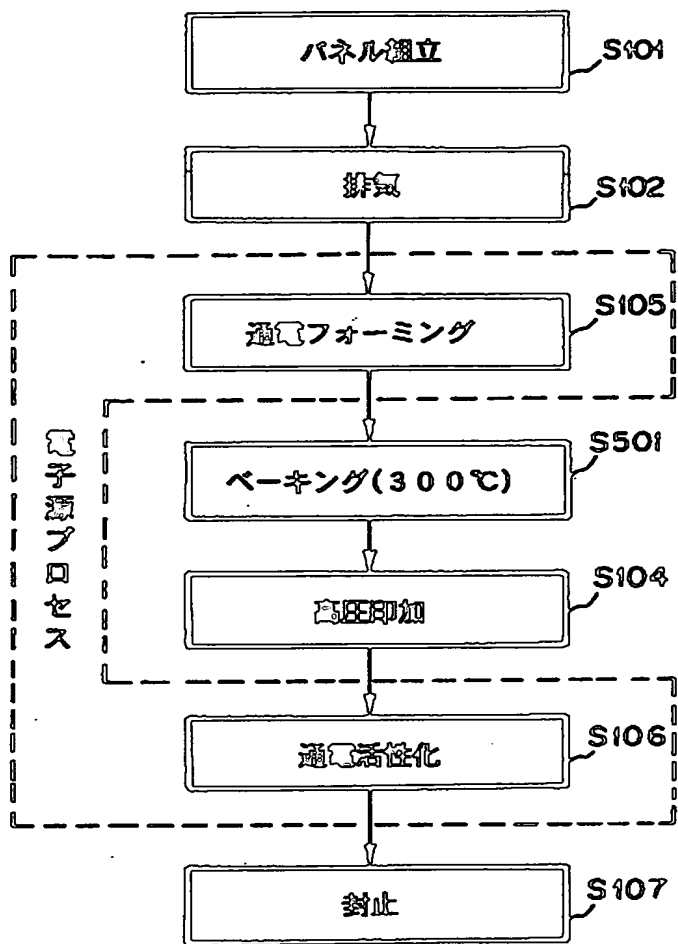
【図 3】



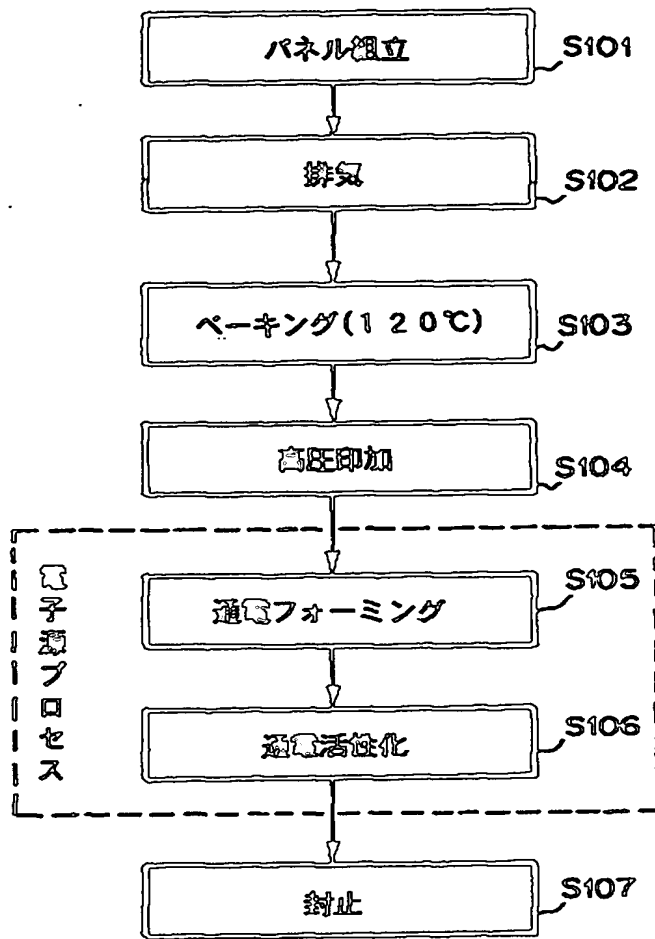
【図 4】



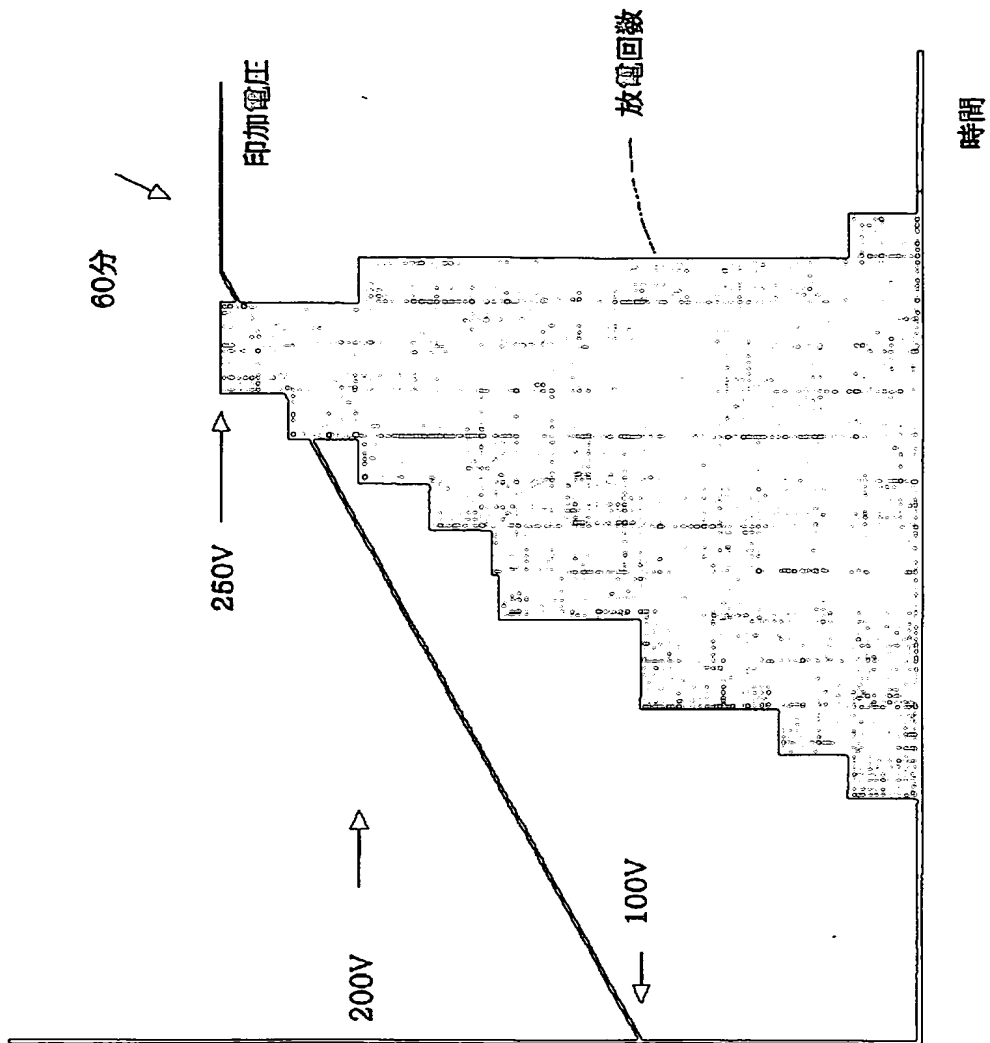
【図 5】



【図 6】



【図 7】



【図 8】

